

Docket No.: 67161-057

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Hideto HIDAKA :
Serial No.: : Group Art Unit:
Filed: July 22, 2003 : Examiner:
For: THIN FILM MAGNETIC MEMORY DEVICE PROVIDED WITH PROGRAM ELEMENT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-037080, filed February 14, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 22, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-057
Hideto Hidaka
July 21, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 2月14日

出 願 番 号
Application Number:

特願2003-037080

[ST.10/C]:

[JP2003-037080]

出 願 人
Applicant(s):

三菱電機株式会社

2003年 3月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3016308

【書類名】 特許願

【整理番号】 542920JP01

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 日高 秀人

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜磁性体記憶装置

【特許請求の範囲】

【請求項 1】 ランダムアクセス可能な複数の磁気メモリセルと、
固定的に情報を記憶するプログラム素子とを備え、
前記複数の磁気メモリセルの各々は、複数の層から構成された導電性磁性体膜
を含み、

前記プログラム素子は、第 1 および第 2 のノード間に電氣的に接続された、外
部入力によって溶断可能なリンク部を含み、

前記リンク部は、前記導電性磁性体膜を構成する前記複数の層のうちの少なく
とも一部と同一の層によって構成される、薄膜磁性体記憶装置。

【請求項 2】 前記導電性磁性体膜は、
トンネル磁気接合を有する磁気抵抗素子を形成する第 1 の層と、
前記磁気抵抗素子を他の配線と接続するためのビアコンタクトを形成する第 2
の層と、

前記磁気抵抗素子を他の配線と接続するための引出し配線を形成する第 3 の層
とを含み、

前記リンク部は、前記第 1 の層と同一の層を有する、請求項 1 記載の薄膜磁性
体記憶装置。

【請求項 3】 前記導電性磁性体膜は、
トンネル磁気接合を有する磁気抵抗素子を形成する第 1 の層と、
前記磁気抵抗素子を他の配線と接続するためのビアコンタクトを形成する第 2
の層と、

前記磁気抵抗素子を他の配線と接続するための引出し配線を形成する第 3 の層
とを含み、

前記リンク部は、前記第 3 の層と同一の層を有する、請求項 1 記載の薄膜磁性
体記憶装置。

【請求項 4】 前記第 1 および第 2 のノードのそれぞれと前記リンク部との
間の電氣的コンタクト構造は、前記第 1 および第 2 のノードのそれぞれと同一配

線層に設けられた他のノードと各前記磁気メモリセルとの間の電氣的コンタクト構造と同様である、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 5】 前記導電性磁性体膜は、

トンネル磁気接合を有する磁気抵抗素子を形成する第 1 の層と、

前記磁気抵抗素子を他の配線と接続するためのビアコンタクトを形成する第 2 の層と、

前記磁気抵抗素子を他の配線と接続するための引出し配線を形成する第 3 の層とを含み、

前記第 1 および第 2 のノードのそれぞれと前記リンク部との間の電氣的コンタクト構造は、前記第 1 の層と同一の層を有する、請求項 4 記載の薄膜磁性体記憶装置。

【請求項 6】 前記リンク部は、外部からのレーザ光照射によって溶断される、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 7】 ランダムアクセス可能な複数の磁気メモリセルと、

固定的に情報を記憶するプログラム回路とを備え、

前記複数の磁気メモリセルの各々は、導電性磁性体膜および絶縁膜を含む複数の層で構成されて、かつ磁氣的に書込まれたデータに応じて抵抗が変化するトンネル磁気抵抗素子を含み、

前記プログラム回路は、

第 1 および第 2 のノードの間に接続された、前記トンネル磁気抵抗素子と同様に前記複数の層で構成された第 1 のプログラム素子と、

前記第 1 および第 2 のノード間の抵抗に応じて前記情報を読出す増幅部と、

前記第 1 のプログラム素子を構成する前記複数の層のうちの前記絶縁膜を絶縁破壊可能な電圧ストレスを、必要に応じて前記第 1 および第 2 のノード間に印加する第 1 の破壊電圧印加部とを含み、

前記第 1 のプログラム素子を構成する前記複数の層の上層側および下層側は、前記第 1 および第 2 のノードの一方ずつとそれぞれ電氣的に接続され、

前記第 1 のプログラム素子は、第 1 および第 2 のノード間に電氣的に接続された部分の少なくとも一部を外部入力によって溶断可能な形状を有する、薄膜磁性

体記憶装置。

【請求項 8】 前記プログラム回路は、さらに、

第 3 のノードおよび前記第 2 のノードの間に接続された、前記トンネル磁気抵抗素子と同様に前記複数の層で構成された第 2 のプログラム素子と、

前記第 2 のプログラム素子を構成する前記複数の層のうちの前記絶縁膜を絶縁破壊可能な電圧ストレスを、必要に応じて前記第 2 および第 3 のノード間に印加する第 2 の破壊電圧印加部とを含み、

前記第 2 のプログラム素子を構成する前記複数の層の上層側および下層側は、前記第 2 および第 3 のノードの一方ずつとそれぞれ電氣的に接続され、

前記第 2 のプログラム素子は、前記第 2 および第 3 のノード間に電氣的に接続された部分の少なくとも一部を外部入力によって溶断可能な形状を有し、

前記増幅部は、前記第 1 および第 2 のノード間の抵抗と、前記第 2 および第 3 のノード間との抵抗との比較に応じて、前記情報を読出す、請求項 7 記載の薄膜磁性体記憶装置。

【請求項 9】 前記外部入力は、前記薄膜磁性体記憶装置のパッケージング工程前に印加可能なレーザ光照射であり、

前記絶縁膜を破壊するための前記電圧ストレスは、前記薄膜磁性体記憶装置の前記パッケージング工程の後に印加される、請求項 7 または 8 記載の薄膜磁性体記憶装置。

【請求項 10】 ランダムアクセス可能な複数の磁気メモリセルと、

固定的に情報を記憶するプログラム回路とを備え、

前記複数の磁気メモリセルの各々は、導電性磁性体膜および絶縁膜を含む複数の層で構成されて、かつ、磁氣的に書込まれたデータに応じて抵抗が変化するトンネル磁気抵抗素子を含み、

前記プログラム回路は、

前記トンネル磁気抵抗素子と同様に前記複数の層で構成された第 1 のプログラム素子と、

前記第 1 のプログラム素子および第 1 のノードと電氣的に接続された第 1 のプログラム配線と、

前記第 1 のプログラム素子に対して磁氣的にデータを書込むための電流を前記第 1 のプログラム配線へ供給するための第 1 の電流駆動部と、

前記第 1 のノードおよび第 2 のノード間の抵抗に応じて、前記情報を読出す増幅部とを含み、

前記第 1 のプログラム素子を構成する前記複数の層の上層側および下層側は、前記第 1 のプログラム配線および前記第 2 のノードの一方ずつとそれぞれ電氣的に接続され、

前記第 1 のプログラム配線の少なくとも一部は、外部入力によって溶断可能である、薄膜磁性体記憶装置。

【請求項 11】 前記プログラム回路は、さらに、

前記トンネル磁気抵抗素子と同様に前記複数の層で構成された第 2 のプログラム素子と、

前記第 2 のプログラム素子および第 3 のノードと電氣的に接続された第 2 のプログラム配線と、

前記第 2 のプログラム素子に対して磁氣的にデータを書込むための電流を前記第 2 のプログラム配線へ供給するための第 2 の電流駆動部とを含み、

前記第 2 のプログラム素子を構成する前記複数の層の上層側および下層側は、前記第 2 のプログラム配線および前記第 2 のノードの一方ずつとそれぞれ電氣的に接続され、

前記第 2 のプログラム配線の少なくとも一部は、外部入力によって溶断可能であり、

前記増幅部は、前記第 1 および第 2 のノード間の抵抗と、前記第 2 および第 3 のノード間との抵抗との比較に応じて前記情報を読出す、請求項 10 記載の薄膜磁性体記憶装置。

【請求項 12】 前記外部入力は、外部からのレーザ光照射を含む、請求項 10 または 11 記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、薄膜磁性体記憶装置に関し、より特定のには、磁気トンネル接合を有するメモリセルおよび固定的に情報を記憶するためのプログラム素子を備えた薄膜磁性体記憶装置に関する。

【0002】

【従来の技術】

低消費電力で不揮発的なデータ記憶が可能な記憶装置として、磁気ランダムアクセスメモリデバイス（MRAMデバイス）が注目されている。MRAMデバイスは、半導体集積回路上に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能なメモリデバイスである。

【0003】

特に、磁気トンネル接合（MTJ）を利用した薄膜磁性体で構成されたメモリセル（以下、「MTJメモリセル」とも称する）を用いることによって、MRAMデバイスの性能が向上することが発表されている。MTJメモリセルは、データ書込電流によって生じた磁界によって、書込データに応じた方向に磁化されてデータ記憶を実行する（たとえば、非特許文献1を参照）。

【0004】

一方、記憶装置には、冗長救済に必要な情報や内部電圧のチューニング情報等が固定的に記憶する目的で、ヒューズ素子に代表されるプログラム素子が一般的に設けられる。MRAMデバイスにおいては、各メモリセルにおいて不揮発的なデータ記憶が可能であるので、余剰のMTJメモリセルによってこのようなプログラム素子を構成することも可能である。

【0005】

あるいは、磁気トンネル接合を構成する絶縁膜に着目して、当該絶縁膜を絶縁破壊することによって、情報を固定的にプログラムする構成も開示されている（たとえば特許文献1）。

【0006】

【特許文献1】

特開2002-117684号公報（第2図，第4－第5頁）

【 0 0 0 7 】

【非特許文献 1】

ロイ・ショイアーライン (Roy Scheuerlein) 他 6 名、 “各セルに F E T スイッチおよび磁気トンネル接合を用いた、 1 0 n s 読出・書込の不揮発メモリアレイ (A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell)”, (米国), 2 0 0 0 年米国電気電子学会国際固体回路会議・技術論文集 T A 7. 2 (2000 IEEE ISSCC Digest of Technical Papers, TA7.2), p. 1 2 8 - 1 2 9。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、余剰の M T J メモリセルを用いてプログラム素子を構成する場合には、ウェハプロセス終了後にバーンイン工程やパッケージング工程などを経て出荷に至るまでの熱処理工程中に、M T J メモリセルに記憶されたデータが消失するおそれがある。

【 0 0 0 9 】

より安定的に情報を記憶可能なプログラム素子としては、ウェハ状態でレーザー照射によって溶断可能なヒューズ素子が知られている。しかし、M R A M デバイスは、通常のメモリデバイスと比較して、M T J メモリセルを形成するために専用の成膜および加工工程が必要となるので、それ以外の工程数については、なるべく削減することが求められている。したがって、ヒューズ素子を作製する場合にも、専用の製造工程が必要とならないことが望ましい。

【 0 0 1 0 】

また、メモリデバイスの試験は、ウェハ状態やパッケージ状態等で都度実行される。したがって、これらの複数の試験結果に基いて、累積的に情報をプログラム可能なプログラム素子が望まれている。

【 0 0 1 1 】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、専用の製造工程を必要とせず M T J メモリセルの製造工程で並行して作製可能なプログラム素子、ならびに、当該プログラム素子を用いて複数の

工程にわたって累積的に情報をプログラム可能なプログラム回路を備えた薄膜磁性体記憶装置を提供することである。

【 0 0 1 2 】

【課題を解決するための手段】

この発明に従う薄膜磁性体記憶装置は、ランダムアクセス可能な複数の磁気メモリセルと、固定的に情報を記憶するプログラム素子とを備え、複数の磁気メモリセルの各々は、複数の層から構成された導電性磁性体膜を含み、プログラム素子は、第1および第2のノード間に電氣的に接続された、外部入力によって溶断可能なリンク部を含み、リンク部は、導電性磁性体膜を構成する複数の層のうちの少なくとも一部と同一の層によって構成される。

【 0 0 1 3 】

この発明の他の構成に従う薄膜磁性体記憶装置は、ランダムアクセス可能な複数の磁気メモリセルと、固定的に情報を記憶するプログラム回路とを備え、複数の磁気メモリセルの各々は、導電性磁性体膜および絶縁膜を含む複数の層で構成されて、かつ磁氣的に書込まれたデータに応じて抵抗が変化するトンネル磁気抵抗素子を含み、プログラム回路は、第1および第2のノードの間に接続された、トンネル磁気抵抗素子と同様に複数の層で構成された第1のプログラム素子と、第1および第2のノード間の抵抗に応じて情報を読み出す増幅部と、第1のプログラム素子を構成する複数の層のうちの絶縁膜を絶縁破壊可能な電圧ストレスを、必要に応じて第1および第2のノード間に印加する第1の破壊電圧印加部とを含み、第1のプログラム素子を構成する複数の層の上層側および下層側は、第1および第2のノードの一方ずつとそれぞれ電氣的に接続され、第1のプログラム素子は、第1および第2のノード間に電氣的に接続された部分の少なくとも一部を外部入力によって溶断可能な形状を有する。

【 0 0 1 4 】

この発明のさらに他の構成に従う薄膜磁性体記憶装置は、ランダムアクセス可能な複数の磁気メモリセルと、固定的に情報を記憶するプログラム回路とを備え、複数の磁気メモリセルの各々は、導電性磁性体膜および絶縁膜を含む複数の層で構成されて、かつ、磁氣的に書込まれたデータに応じて抵抗が変化するトンネ

ル磁気抵抗素子を含み、プログラム回路は、トンネル磁気抵抗素子と同様に複数の層で構成された第1のプログラム素子と、第1のプログラム素子および第1のノードと電氣的に接続された第1のプログラム配線と、第1のプログラム素子に対して磁氣的にデータを書込むための電流を第1のプログラム配線へ供給するための第1の電流駆動部と、第1のノードおよび第2のノード間の抵抗に応じて情報を読み出す増幅部とを含み、第1のプログラム素子を構成する複数の層の上層側および下層側は、第1のプログラム配線および第2のノードの一方ずつとそれぞれ電氣的に接続され、第1のプログラム配線の少なくとも一部は、外部入力によって溶断可能である。

【0015】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。

【0016】

〔実施の形態1〕

図1は、本発明の実施の形態に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【0017】

図1を参照して、MRAMデバイス1は、外部からの制御信号CMDおよびアドレス信号ADDに応じてランダムアクセスを実行し、書込データDINの入力および読出データDOUTの出力を実行する。MRAMデバイス1におけるデータ読出動作およびデータ書込動作は、たとえば、外部からのクロック信号CLKに同期したタイミングで実行される。あるいは、外部からクロック信号CLKを受けることなく、内部で動作タイミングを定めてもよい。

【0018】

MRAMデバイス1は、アドレス信号ADDの入力を受けるアドレス端子2と、制御信号CMDおよびクロック信号CLKの入力を受ける制御信号端子3と、プログラム動作時に活性化される制御信号PRGの入力を受ける信号端子4aと、制御信号CMDおよびクロック信号CLKに応答してMRAMデバイス1の全体動作を制御するためのコントロール回路5と、行列状に配置された複数のMT

Jメモリセルを有するメモリアレイ10とを備える。

【0019】

メモリアレイ10の構成については、後ほど詳細に説明するが、メモリアレイ10は、アドレス信号ADDによって各々ヘランダムアクセス可能な、行列状に配置された複数の正規のMTJメモリセル（以下、「正規メモリセル」とも称する）と、不良が生じた正規メモリセル（以下、「不良メモリセル」とも称する）を救済するためのスペアメモリセル（図示せず）とを含む。

【0020】

正規メモリセルの不良救済は、所定の冗長救済区分を単位とした置換によって行なわれる。スペアメモリセルによって、各々が、不良メモリセルを含む冗長救済区分を置換するための複数の冗長回路（図示せず）が構成される。一般的に、冗長救済区分は、メモリセル行、メモリセル列あるいはデータI/O線単位に設定される。これらの場合において、各冗長回路は、スペア行、スペア列あるいはスペアI/O線に対応するスペアブロックにそれぞれ相当する。詳細は後程説明するが、本実施の形態においては、正規メモリセルの不良救済は、メモリセル列単位で実行されるものとする。

【0021】

MTJメモリセルの行（以下、単に「メモリセル行」とも称する）に対応して複数のライトワード線WWLおよびリードワード線RWLが配置される。また、MTJメモリセル列（以下、単に「メモリセル列」とも称する）に対応してビット線BLおよび／BLが配置される。

【0022】

MRAMデバイス1は、さらに、行デコーダ20と、列デコーダ25と、ワード線ドライバ30と、読出／書込制御回路50、60とを備える。

【0023】

行デコーダ20は、アドレス信号ADDによって示されるロウアドレスRAに応じて、メモリアレイ10における行選択を実行する。列デコーダ25は、アドレス信号ADDによって示されるコラムアドレスCAに応じて、メモリアレイ10における列選択を実行する。ワード線ドライバ30は、行デコーダ20の行選

択結果に基づいて、リードワード線RWLもしくはライトワード線WWLを選択的に活性化する。ロウアドレスRAおよびコラムアドレスCAによって、データ読出もしくはデータ書込対象に指定されたメモリセル（以下、「選択メモリセル」とも称する）が示される。

【0024】

ライトワード線WWLは、ワード線ドライバ30が配置されるのとメモリアレイ10を挟んで反対側の領域40において、接地電圧Vssと結合される。読出／書込制御回路50、60は、データ読出およびデータ書込時において、選択メモリセルに対応するメモリセル列（以下、「選択列」とも称する）のビット線BLおよび／BLに対してデータ書込電流およびセンス電流（データ読出電流）を流すために、メモリアレイ10に隣接する領域に配置される回路群を総称したものである。

【0025】

MRAMデバイス1は、さらに、冗長プログラム回路100を備える。冗長プログラム回路100は、外部からのレーザ光照射によって溶断可能なプログラム素子を含み、当該プログラム素子によって、不良メモリセルが存在するメモリセル列（以下、「不良コラム」とも称する）を示すコラムアドレスに相当する不良アドレスを固定的に記憶する。後程詳細に説明するように、本実施の形態に従うプログラム素子は、専用の製造工程が必要とすることなく、MTJメモリセルを形成するための工程で並行して作製することができる。

【0026】

冗長プログラム回路100は、さらに、通常動作時において、コラムアドレスCAと、記憶する不良アドレスとを比較することによって、データ読出またはデータ書込対象として、不良コラムが選択されたかどうかを判定する。

【0027】

コラムアドレスCAによって不良コラムが選択された場合には、冗長プログラム回路100は、スเปアメモリセルで構成された冗長回路に対するアクセスを指示するとともに、列デコーダ25に対して、コラムアドレスCAで示されたメモリセル列に対するアクセスの停止を指示する。これにより、コラムアドレスCA

で示されたメモリセル列に代えて、冗長回路を対象としたデータ読出またはデータ書込が実行される。

【0028】

一方、コラムアドレスCAが不良アドレスと対応しない場合には、列デコーダ25によって通常の列選択動作が実行されて、コラムアドレスCAで示されたメモリセル列を選択して、データ読出またはデータ書込が実行される。

【0029】

次に、MRAMデバイス1における冗長構成について説明する。

図2は、図1に示したメモリアレイ10の構成を示す回路図である。

【0030】

図2を参照して、メモリアレイ10は、 n 行 \times m 列（ n, m ：自然数）に配列される正規メモリセルMCと、 k 個（ k ：自然数）の冗長回路RD1～RD k とを含む。本実施の形態においては、メモリセル単位で置換救済が実行されるので、冗長回路RD1～RD k の各々はスペア列に相当する。なお、以下においては、冗長回路RD1～RD k を総称して、冗長回路RDとも称する。

【0031】

メモリアレイ10全体で見れば、同様の構成を有するMTJメモリセルが、 n 個のメモリセル行および $(m+k)$ 個のメモリセル列にわたって配置されている。

【0032】

なお、以下においては、正規メモリセルによるメモリセル列を、「正規メモリセル列」とも称し、冗長回路RD1～RD k にそれぞれ対応するスペアメモリセルのメモリセル列を、「スペア列」とも称する。

【0033】

メモリセル行にそれぞれ対応して、リードワード線RWL1～RWLnおよびライトワード線WWL1～WWLnが配置される。正規メモリセル列にそれぞれ対応して、ビット線対BLP1～BLP m が配置される。各ビット線対は、2本の相補なビット線から構成される。たとえば、ビット線対BLP1は、ビット線BL1および／BL1から構成される。

【 0 0 3 4 】

スペアメモリセル列にそれぞれ対応して、スペアビット線対 S B L P 1 ~ S B L P k が配置される。各スペアビット線対は、ビット線対と同様に、2本の相補なビット線から構成される。たとえば、スペアビット線対 S B L P 1 は、スペアビット線 S B L 1 および / S B L 1 から構成される。

【 0 0 3 5 】

以下においては、ライトワード線、リードワード線、ビット線対、ビット線、スペアビット線対およびスペアビット線のそれぞれを総括的に表現する場合には、符号 WWL、RWL、BLP、BL (/BL)、SBLP および SBL (/SBL) をそれぞれ用いて表記することとし、特定のライトワード線、リードワード線、ビット線対、ビット線、スペアビット線対およびスペアビット線を示す場合には、これら符号に添え字を付して、WWL 1、RWL 1、BLP 1、BL 1 (/BL 1)、SBLP 1 および SBL 1 (/SBL 1) のように表記する。

【 0 0 3 6 】

また、データ、信号および信号線の高電圧状態（電源電圧 V_{cc1} 、 V_{cc2} ）および低電圧状態（接地電圧 V_{ss} ）のそれぞれを、「Hレベル」および「Lレベル」とも称する。

【 0 0 3 7 】

MTJメモリセル、すなわち正規メモリセルMCおよびスペアメモリセルSMCの各々は、直列に接続された、記憶データのレベルに応じて抵抗が変化するトンネル磁気抵抗素子TMRおよびアクセスゲートとして作用するアクセストランジスタATRを有する。

【 0 0 3 8 】

図3は、MTJメモリセルの構成およびデータ記憶原理を説明する概念図である。

【 0 0 3 9 】

図3を参照して、トンネル磁気抵抗素子TMRは、固定された一定の磁化方向を有する強磁性体層（以下、単に「固定磁化層」とも称する）FLと、外部からの印加磁界に応じた方向に磁化可能な強磁性体層（以下、単に「自由磁化層」と

も称する) V_L とを有する。固定磁化層 F_L および自由磁化層 V_L の間には、絶縁体膜で形成されるトンネルバリア (トンネル膜) T_B が設けられる。自由磁化層 V_L は、書込まれる記憶データのレベルに応じて、固定磁化層 F_L と同一方向または固定磁化層 F_L と反対方向に磁化される。これらの固定磁化層 F_L 、トンネルバリア T_B および自由磁化層 V_L によって磁気トンネル接合が形成される。

【0040】

トンネル磁気抵抗素子 TMR の抵抗は、固定磁化層 F_L および自由磁化層 V_L のそれぞれの磁化方向の相対関係に応じて変化する。具体的には、トンネル磁気抵抗素子 TMR の抵抗は、固定磁化層 F_L の磁化方向と自由磁化層 V_L の磁化方向とが同じ (平行) である場合に最小値 R_{min} となり、両者の磁化方向が反対 (反平行) 方向である場合に最大値 R_{max} となる。

【0041】

データ書込時においては、リードワード線 RWL が非活性化されて、アクセストランジスタ ATR はターンオフされる。この状態で、自由磁化層 V_L を磁化するためのデータ書込磁界 $H(BL)$ および $H(WWL)$ は、ビット線 BL およびライトワード線 WWL を流れるデータ書込電流によってそれぞれ発生される。特に、ビット線 BL 上のデータ書込電流は、書込データのレベルに応じて、 $+I_w$ および $-I_w$ のいずれかの方向に流される。

【0042】

図4は、 MTJ メモリセルのデータ書込電流と、トンネル磁気抵抗素子の磁化方向との関係を示す概念図である。

【0043】

図4を参照して、横軸 $H(EA)$ は、トンネル磁気抵抗素子 TMR 内の自由磁化層 V_L において磁化容易軸 (EA : Easy Axis) 方向に印加される磁界を示す。一方、縦軸 $H(HA)$ は、自由磁化層 V_L において磁化困難軸 (HA : Hard Axis) 方向に作用する磁界を示す。磁界 $H(EA)$ および $H(HA)$ は、図15に示したデータ書込磁界 $H(BL)$ および $H(WWL)$ にそれぞれ対応する。

【0044】

MTJ メモリセルにおいては、固定磁化層 F_L の固定された磁化方向は、自由

磁化層 V L の磁化容易軸に沿っており、自由磁化層 V L は、記憶データのレベルに応じて、磁化容易軸方向に沿って、固定磁化層 F L と平行あるいは反平行（反対）方向に磁化される。M T J メモリセルは、自由磁化層 V L の 2 通りの磁化方向と対応させて、1 ビットのデータを記憶することができる。

【 0 0 4 5 】

自由磁化層 V L の磁化方向は、印加される磁界 $H(EA)$ および $H(HA)$ の和が、図 4 に示されるアステロイド特性線の外側の領域に達する場合においてのみ新たに書換えることができる。すなわち、印加されたデータ書込磁界がアステロイド特性線の内側の領域に相当する強度である場合には、自由磁化層 V L の磁化方向は変化しない。

【 0 0 4 6 】

アステロイド特性線に示されるように、自由磁化層 V L に対して磁化困難軸方向の磁界を印加することによって、磁化容易軸に沿った磁化方向を変化させるのに必要な磁化しきい値を下げるることができる。図 4 に示すように、データ書込時の動作点は、ライトワード線 WWL とビット線 BL との両方に所定のデータ書込電流を流したときに、M T J メモリセルの記憶データ、すなわちトンネル磁気抵抗素子 TMR の磁化方向を書換えられるように設計される。

【 0 0 4 7 】

図 4 に例示された動作点では、データ書込対象である M T J メモリセルにおいて、磁化容易軸方向のデータ書込磁界は、その強度が H_{WR} となるように設計される。すなわち、このデータ書込磁界 H_{WR} が得られるように、ビット線 BL またはライトワード線 WWL を流されるデータ書込電流の値が設計される。一般的に、データ書込磁界 H_{WR} は、磁化方向の切換えに必要なスイッチング磁界 H_{SW} と、マージン分 ΔH との和で示される。すなわち、 $H_{WR} = H_{SW} + \Delta H$ で示される。

【 0 0 4 8 】

トンネル磁気抵抗素子 TMR に一旦書込まれた磁化方向、すなわち M T J メモリセルの記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。各メモリセルの抵抗は、厳密には、トンネル磁気抵抗素子 TMR、アクセストランジスタ ATR のオン抵抗、およびその他の寄生抵抗の和であるが、ト

ンネル磁気抵抗素子 TMR 以外の抵抗分は記憶データによらず一定であるので、以下においては、記憶データに応じた 2 種類の正規メモリセルの抵抗についても、 R_{max} および R_{min} で示し、両者の差を ΔR (すなわち、 $\Delta R = R_{max} - R_{min}$) と示すものとする。

【0049】

データ読出時には、アクセストランジスタ ATR をターンオンさせることによって生じるトンネル磁気抵抗素子 TMR の通過電流を、ビット線 BL を介して検知することにより、選択メモリセルの抵抗レベル、すなわち記憶データレベルを読出可能である。

【0050】

図 5 は、MTJ メモリセルの構造を示す断面図である。

図 5 を参照して、MTJ メモリセルは、半導体基板 SUB 上に形成されたアクセストランジスタ ATR と、導電性磁性体膜 105 とを含む。

【0051】

アクセストランジスタ ATR は、半導体基板 SUB 上の不純物領域 110、120 として形成されたソースおよびドレインを含む。アクセストランジスタ ATR には、半導体基板上に形成された電界効果型トランジスタである MOS トランジスタが代表的に適用される。

【0052】

不純物領域 110 は、接地電圧 V_{ss} と接続されて、ソースとして作用する。また、不純物領域 120 は、金属配線層 M1 に設けられた金属配線 135 およびコンタクトホールに設けられたビアコンタクト 140 を介して、導電性磁性体膜 105 と電氣的に接続されて、ドレインとして作用する。

【0053】

リードワード線 RWL は、アクセストランジスタ ATR のゲート電圧を制御するために設けられるものであり、電流を積極的に流す必要はない。したがって、集積度を高める観点から、リードワード線 RWL は、独立的した金属配線層を新たに設けることなく、ゲート 130 と同一の配線層において、ポリシリコン層やポリカイド構造などを用いて形成される。一方、データ書込電流を流す必要が

あるライトワード線WWLおよびビット線BLは、金属配線層M1およびM2をそれぞれ用いて形成される。

【0054】

導電性磁性体膜105は、積層された、引出配線150、トンネル磁気抵抗素子TMRに相当するトンネル磁性体層160、およびピアコンタクト170を含む。引出配線150は、トンネル磁性体層160をピアコンタクト140と電気的に接続するために設けられる。ピアコンタクト170は、トンネル磁性体層160およびビット線BLの間を電気的に接続する。引出配線150およびピアコンタクト170は金属膜で構成される。

【0055】

図6は、トンネル磁性体層160の構造例を示す断面図である。

図6を参照して、トンネル磁性体層160は、下地層161として設けられるNiFe膜およびTa膜と、IrMn膜で形成される反強磁性層162と、CoFe膜で形成される磁性体層163および165と、磁性体層163および165に挟まれた絶縁体層164 (AlO_x) と、NiFe膜で形成された磁性体層166と、Ta膜で形成された保護層167とを含む。

【0056】

磁性体層163は図3における固定磁化層FLに相当し、磁性体層165, 166は図3における自由磁化層VLに相当し、絶縁体層164は図3におけるトンネルバリアTBに相当する。なお、図中のカッコ内には、各層の代表的な厚さの例が示されている。

【0057】

再び図2を参照して、メモリアレイの構成を詳細に説明する。

正規メモリセルMCは、1行ごとにビット線BLおよび／BLのいずれか一方と接続される。たとえば、第1番目のメモリセル列に属する正規メモリセルについて説明すれば、第1行目の正規メモリセルは、ビット線／BL1と結合され、第2行目の正規メモリセルはビット線BL1と結合される。以下同様に、正規メモリセルおよびスベアメモリセルの各々は、奇数行において一方のビット線／BL1～／BLmと接続され、偶数行において、他方のビット線BL1～BLmと

接続される。同様に、スペアメモリセルSMCは、奇数行においてスペアビット線 \diagup SBL1 \sim \diagup SBLkと接続され、偶数行において、スペアビット線SBL1 \sim SBLkと接続される。

【0058】

メモリアレイ10は、さらに、ビット線BL1, \diagup BL1 \sim BLm, \diagup BLmおよびスペアビット線SBL1, \diagup SBL1 \sim SBLk, \diagup SBLkとそれぞれ結合される複数のダミーメモリセルDMCを有する。

【0059】

各ダミーメモリセルDMCは、ダミー抵抗素子TMRdおよびダミーアクセス素子ATTRdを有する。ダミー抵抗素子TMRdおよびダミーアクセス素子ATTRdの抵抗の和Rdは、MTJメモリセルMCの記憶データのHレベルおよびLレベルにそれぞれ対応する抵抗RmaxおよびRminの中間値、すなわち $R_{max} > R_d > R_{min}$ に設定される。ダミーアクセス素子ATTRdは、MTJメモリセルのアクセス素子と同様に、代表的には電界効果型トランジスタで構成される。したがって、以下においては、ダミーアクセス素子をダミーアクセストランジスタATTRdとも称する。

【0060】

ダミーメモリセルDMCは、ダミーリードワード線DRWL1およびDRWL2のいずれか一方と対応するように、2行 \times (m+k)列に配置される。ダミーリードワード線DRWL1に対応するダミーメモリセルは、ビット線BL1 \sim BLmおよびスペアビット線SBL1 \sim SBLkとそれぞれ結合される。一方、ダミーリードワード線DRWL2に対応する残りのダミーメモリセルは、ビット線 \diagup BL1 \sim \diagup BLmおよびスペアビット線 \diagup SBL1 \sim \diagup SBLkとそれぞれ結合される。以下においては、ダミーリードワード線DRWL1およびDRWL2を総称して、単にダミーリードワード線DRWLとも表記する。

【0061】

さらに、ダミーメモリセルの行にそれぞれ対応して、ダミーライトワード線DWWL1, DWWL2が配置される。なお、ダミー抵抗素子TMRdの構造によっては、ダミーライトワード線の配置は不要となるが、メモリアレイ上での形状

の連続性を確保して製造プロセスの複雑化を避けるために、ライトワード線WWLと同様に設計されたダミーライトワード線DWWL1, DWWL2が設けられる。

【0062】

データ読出時において、ワード線ドライバ30は、行選択結果に応じて、各リードワード線RWLおよびダミーリードワード線DRWL1, DRWL2を選択的にHレベル（電源電圧Vcc1）に活性化する。具体的には、奇数行が選択されて、選択行の正規メモリセルおよびスペアメモリセルがビット線／BL1～／BLmおよびスペアビット線／SBL1～／SBLkと接続される場合には、ダミーリードワード線DRWL1がさらに活性化されて、ダミーメモリセル群が、ビット線BL1～BLmおよびスペアビット線SBL1～SBLkと接続される。偶数行が選択される場合には、選択行のリードワード線に加えて、ダミーリードワード線DRWL2が活性化される。

【0063】

ワード線ドライバ30は、データ書込時において、選択行のライトワード線WLの一端を、電源電圧Vcc2と結合する。これにより、選択行のライトワード線WWL上に、ワード線ドライバ30から領域40へ向かう方向に、行方向のデータ書込電流Ipを流すことができる。一方、非選択行のライトワード線は、ワード線ドライバ30によって、接地電圧Vssと結合される。

【0064】

メモリセル列にそれぞれ対応して、列選択を実行するためのコラム選択線CSL1～CSLmが設けられる。列デコーダ25は、コラムアドレスCAのデコード結果、すなわち列選択結果に応じて、データ書込およびデータ読出時の各々において、コラム選択線CSL1～CSLmのうちの1本を選択状態（Hレベル）に活性化する。

【0065】

さらに、スペアメモリセル列にそれぞれ対応して、スペアコラム選択線SCSL1～SCSLkが設けられる。スペアコラムドライバSCV1～SCVkは、冗長プログラム回路100からのスペアイネーブル信号SE1～SEkにそれぞれ

れ応答して、対応するスペアコラム選択線を選択状態（Hレベル）に活性化する。
。スペアイネーブル信号 $SE\ 1 \sim SE\ k$ の生成については、後程詳細に説明する。

【0066】

さらに、読出データおよび書込データを伝達するためのデータバス対 $DB\ P$ とが配置される。データバス対 $DB\ P$ は、互いに相補のデータバス DB および \overline{DB} を含む。

【0067】

読出／書込制御回路 50 は、データ書込回路 51W と、データ読出回路 51R と、メモリセル列にそれぞれ対応して設けられるコラム選択ゲート $CSG\ 1 \sim CSG\ m$ と、スペアメモリセル列にそれぞれ対応して設けられるスペアコラム選択ゲート $SCSG\ 1 \sim SCSG\ k$ とを含む。

【0068】

以下においては、コラム選択線 $CSL\ 1 \sim CSL\ m$ 、スペアコラム選択線 $SCSL\ 1 \sim SCSL\ k$ 、コラム選択ゲート $CSG\ 1 \sim CSG\ m$ およびスペアコラム選択ゲート $SCSG\ 1 \sim SCSG\ k$ をそれぞれ総称して、単に、コラム選択線 CSL 、スペアコラム選択線 $SCSL$ 、コラム選択ゲート CSG およびスペアコラム選択ゲート $SCSG$ とそれぞれ称する。

【0069】

各コラム選択ゲート CSG は、データバス DB と対応するビット線 BL との間に電氣的に接続されるトランジスタスイッチと、データバス \overline{DB} と対応するビット線 \overline{BL} との間に電氣的に接続されるトランジスタスイッチとを有する。これらのトランジスタスイッチは、対応するコラム選択線 CSL の電圧に応じてオン・オフする。すなわち、対応するコラム選択線 CSL が選択状態（Hレベル）に活性化された場合には、各コラム選択ゲート CSG は、データバス DB および \overline{DB} を、対応するビット線 BL および \overline{BL} とそれぞれ電氣的に接続する。

【0070】

各スペアコラム選択ゲート $SCSG$ も、コラム選択ゲート CSG と同様の構成を有し、対応するスペアコラム選択線 $SCSL$ が選択状態（Hレベル）に活性化

された場合に、対応するスペアビット線 SBL および /SBL を、データバス DB および /DB のそれぞれと電氣的に接続する。

【0071】

読出／書込制御回路 60 は、メモリセル列にそれぞれ対応して設けられる短絡スイッチトランジスタ 62-1～62-m, 62-s1～62-sk および、制御ゲート 66-1～66-m, 66-s1～66-sk を有する。読出／書込制御回路 60 は、さらに、ビット線 BL1, /BL1～BLm, /BLm およびスペアビット線 SBL1, /SBL1～SBLk, /SBLk と接地電圧 Vss との間にそれぞれ設けられるプリチャージトランジスタ 64-1a, 64-1b～64-ma, 64-mb および 64-s1a, 64-s1b～64-ska, 64-skb を有する。

【0072】

以下においては、短絡スイッチトランジスタ 62-1～62-m, 62-s1～62-sk、プリチャージトランジスタ 64-1a, 64-1b～64-ma, 64-mb および 64-s1a, 64-s1b～64-ska, 64-skb ならびに制御ゲート 66-1～66-m, 66-s1～66-sk をそれぞれ総称して、短絡スイッチトランジスタ 62、プリチャージトランジスタ 64 および制御ゲート 66 とも称する。

【0073】

各制御ゲート 66 は、対応するコラム選択線 CSL またはスペアコラム選択線 SC SL と制御信号 WE との AND 論理演算結果を出力する。したがって、データ書込動作時には、コラムアドレス CA に対応する選択列もしくはスペア列において、制御ゲート 66 の出力が、H レベルへ選択的に活性化される。

【0074】

短絡スイッチトランジスタ 62 は、対応する制御ゲート 66 の出力にそれぞれ応答してオン／オフする。したがって、データ書込動作時には、コラムアドレス CA に対応する、選択列もしくはスペア列において、ビット線 BL および /BL または、スペアビット線 SBL および /SBL の一端同士は、短絡スイッチトランジスタ 62 によって電氣的に接続される。

【0075】

各プリチャージトランジスタ64は、ビット線プリチャージ信号BLPRの活性化に応答してオンすることにより、ビット線BL1、/BL1～BLm、/BLmおよびスペアビット線SBL1、/SBL1～SBLk、/SBLkの各々を接地電圧Vssにプリチャージする。コントロール回路5によって生成されるビット線プリチャージ信号BLPRは、MRAMデバイス1のアクティブ期間において、少なくともデータ読出実行前の所定期間においてHレベルに活性化される。一方、MRAMデバイス1のアクティブ期間のうちのデータ読出動作時およびデータ書込動作時においては、ビット線プリチャージ信号BLPRは、Lレベルに非活性化されて、プリチャージトランジスタ64はオフされる。

【0076】

次に、MRAMデバイス1における列選択動作を説明する。すでに説明したように、列選択動作には、不良コラムを置換救済するための冗長制御が含まれる。

【0077】

冗長プログラム回路100は、冗長回路（スペア列）RD1～RDkにそれぞれ対応して設けられる複数の冗長制御ユニットRPU(1)～RPU(k)を含む。冗長制御ユニットRPU(1)～RPU(k)は、不良アドレスFAD1～FADkをそれぞれ内部に記憶することができる。第i番目の冗長制御ユニットRPU(i)は、選択列を示すためのhビット（h：自然数）のコラムアドレスCAが、プログラムされた不良アドレスFADiと一致するかどうかを判定する。冗長制御ユニットRPU(i)の構成およびそれに含まれるプログラム素子の構成については、後程詳細に説明する。

【0078】

冗長制御ユニットRPU(i)は、不良アドレスFADiを固定的に記憶するとともに、コラムアドレスCAと対応する不良アドレスFADiとが一致する場合に、対応するスペアイネーブル信号SEiをHレベルに活性化する。コラムアドレスCAが不良アドレスFAD1～FADkのいずれとも一致しない場合には、ノーマルイネーブル信号NEがHレベルへ活性化される。

【0079】

列デコーダ 2 5 は、ノーマルイネーブル信号 N E が H レベルへ活性化された場合には、コラムアドレス C A に応じた 1 本のコラム選択線 C S L を活性化する。これに应答して、正規メモリセルに対するアクセスが実行される。

【 0 0 8 0 】

一方、ノーマルイネーブル信号 N E が L レベルに非活性化された場合、すなわちコラムアドレス C A がいずれかの不良アドレス F A D と一致する場合には、列デコーダ 2 5 は、正規メモリセルに対応するコラム選択線 C S L 1 ~ C S L m の各々を非活性化する。一方、スペアイネーブル信号 S E 1 ~ S E k のいずれかの活性化に应答して、スペアコラム選択線 S C S L 1 ~ S C S L k の 1 本が活性化される。これにより、正規メモリセルに対するアクセスに代えて、スペアメモリセルへのアクセスが実行される。

【 0 0 8 1 】

図 7 は、M R A M デバイス 1 における置換救済を説明するためのデータ読出動作およびデータ書込動作時の動作波形図である。

【 0 0 8 2 】

まず、データ書込時の動作について説明する。ワード線ドライバ 3 0 は、行デコーダ 2 0 の行選択結果に応じて、選択行に対応するライトワード線 W W L を活性化して、電源電圧 V c c 2 と接続する。各ライトワード線 W W L の一端は、領域 4 0 において接地電圧 V s s と結合されているので、選択行のライトワード線 W W L には、ワード線ドライバ 3 0 から領域 4 0 に向かう方向にデータ書込電流 I p が流される。一方、非選択行においては、ライトワード線 W W L は非活性状態（L レベル：接地電圧 V s s ）に維持されるので、データ書込電流は流れない。

【 0 0 8 3 】

コラムアドレス C A が不良アドレス F A D 1 ~ F A D k のいずれとも一致しない場合には、コラムアドレス C A に対応する選択列のコラム選択線 C S L が選択状態（H レベル）に活性化されて、選択列のビット線 B L および / B L の一端ずつは、データバス D B および / D B とそれぞれ結合される。さらに、対応する短絡スイッチトランジスタ 6 2 （図 2 ）がターンオンして、選択列のビット線 B L

および／B Lの他端（コラム選択ゲートC S Gの反対側）同士を短絡する。

【0 0 8 4】

一方、コラムアドレスC Aが不良アドレスF A D 1～F A D kのいずれかと一致した場合には、対応するスペアコラム選択線S C S Lが選択状態（Hレベル）に活性化されて、選択列のビット線B Lおよび／B Lに代えて、対応するスペアビット線S B Lおよび／S B Lの一端ずつが、データバスD Bおよび／D Bとそれぞれ結合される。さらに、対応する短絡スイッチトランジスタ6 2（図2）がターンオンして、対応するスペアビット線S B Lおよび／S B Lの他端（スペアコラム選択ゲートS C S Gの反対側）同士を短絡する。

【0 0 8 5】

データ書込回路5 1 Wは、データバスD Bおよび／D Bを、電源電圧V c c 2および接地電圧V s sのいずれか一方ずつに設定する。たとえば、書込データD I NのデータレベルがLレベルである場合には、データバスD BにLレベルデータを書込むためのデータ書込電流 $-I_w$ が流される。データ書込電流 $-I_w$ は、コラム選択ゲートC S Gまたはスペアコラム選択ゲートS C S Gを介して、選択列のビット線B Lまたは対応するスペアビット線S B Lに供給される。

【0 0 8 6】

選択列のビット線B Lまたは対応するスペアビット線S B Lに流されるデータ書込電流 $-I_w$ は、短絡スイッチトランジスタ6 2によって折返される。これにより、他方のビット線／B Lまたはスペアビット線／S B Lにおいては、反対方向のデータ書込電流 $+I_w$ が流される。ビット線／B Lまたはスペアビット線／S B Lを流れるデータ書込電流 $+I_w$ は、コラム選択ゲートC S Gまたはスペアコラム選択ゲートS C S Gを介してデータバス／D Bに伝達される。

【0 0 8 7】

書込データD I NのデータレベルがHレベルである場合には、データバスD Bおよび／D Bの電圧設定を入換えることによって、反対方向のデータ書込電流を、選択列のビット線B L，／B Lまたは対応するスペアビット線S B L，／S B Lに流すことができる。

【0 0 8 8】

これにより、コラムアドレスCAが不良アドレスFAD1～FADkのいずれとも一致しない場合には、対応するライトワード線WWLおよびビット線BL（／BL）の両方にデータ書込電流が流された正規メモリセル（選択メモリセル）に対して、データ書込が実行される。一方、コラムアドレスCAが不良アドレスFADのいずれかと一致した場合には、対応するライトワード線WWLおよびスペアビット線SBL（／SBL）の両方にデータ書込電流が流されたスペアメモリセルに対して、データ書込が実行される。

【0089】

データ書込時においては、リードワード線RWLは非選択状態（Lレベル）に維持される。また、データ書込時においてもビット線プリチャージ信号BLPRをHレベルへ活性化することによって、データ書込時におけるビット線BLおよび／BLの電圧は、データ読出時のプリチャージ電圧レベルに相当する接地電圧Vssに設定される。このように、非選択列に対応するビット線BL，／BLおよびスペアビット線SBL，／SBLのデータ書込後における電圧を、データ読出に備えたプリチャージ電圧と一致させることによって、データ読出前に新たなプリチャージ動作の実行が不要となり、データ読出動作を高速化することができる。

【0090】

次に、データ読出動作について説明する。

データ読出時において、ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するリードワード線RWLをHレベルに活性化する。非選択行においては、リードワード線RWLの電圧レベルは非活性状態（Lレベル）に維持される。

【0091】

データ読出が開始されて、選択行のリードワード線RWLがHレベルに活性化されて、対応するアクセストランジスタATRがターンオンすると、選択行に対応する正規メモリセルおよびスペアメモリセルは、アクセストランジスタATRを介して、ビット線BL，／BLおよびスペアビット線SBL，／SBLと、接地電圧Vssとの間に電氣的に接続される。

【 0 0 9 2 】

データ読出回路 5 1 R は、データバス DB および /DB の各々を、電源電圧 V_{cc1} でプルアップして、一定のセンス電流 I_s を供給する。

【 0 0 9 3 】

さらに、データ書込時と同様に、コラムアドレス CA に応じて、選択列のコラム選択線 CSL または、対応するスペアコラム選択線 SC SL が選択状態（H レベル）に活性化される。

【 0 0 9 4 】

コラムアドレス CA が不良アドレス FAD 1 ~ FAD k のいずれとも一致しない場合には、データバス DB（/DB）および選択列のビット線 BL（/BL）を介して、選択メモリセル（正規メモリセル）のトンネル磁気抵抗素子 TMR をセンス電流 I_s が通過する。これにより、選択列のビット線 BL および /BL の一方およびデータバス DB，/DB の一方ずつには、選択メモリセルの抵抗（ R_{max} ， R_{min} ）、すなわち記憶データのレベルに応じた電圧変化が生じる。同様に、選択列のビット線 BL，/BL の他方およびデータバス DB，/DB の他方ずつには、ダミーメモリセル DMC の抵抗 R_d に応じた電圧変化が生じる。

【 0 0 9 5 】

たとえば、選択メモリセルの記憶データレベルが“1”（抵抗 R_{max} ）である場合には、選択メモリセルと結合されたビット線 BL および /BL の一方には、ダミーメモリセル DMC と結合されたビット線 BL および /BL の他方に生じる電圧変化 ΔV_m よりも大きい電圧変化 ΔV_1 （ $\Delta V_1 > \Delta V_m$ ）が生じる。同様に、データバス DB，/DB においても、電圧変化 ΔV_{b1} および ΔV_{bm} が生じる（ $\Delta V_{bm} > \Delta V_{b1}$ ）。このようにして生じたデータバス DB および /DB の間の電圧差をデータ読出回路 5 1 R によって検知増幅して、選択メモリセルの記憶データを読出データ DOUT として出力することができる。

【 0 0 9 6 】

一方、コラムアドレス CA が不良アドレス FAD 1 ~ FAD k のいずれかと一致した場合には、データバス DB（/DB）およびスペアビット線 SBL（/SBL）を介して、スペアメモリセルをセンス電流 I_s が通過する。これにより、

スペアビット線 SBL および $\neg SBL$ の一方およびデータバス DB , $\neg DB$ の一方ずつには、スペアメモリセルの抵抗 (R_{max} , R_{min})、すなわち記憶データのレベルに応じた電圧変化が生じる。スペアビット線 SBL , $\neg SBL$ の他方およびデータバス DB , $\neg DB$ の他方ずつには、正規メモリセルがアクセスされたときと同様に、ダミーメモリセル DMC の抵抗 R_d に応じた電圧変化が生じる。

【0097】

このように、コラムアドレス CA によって不良コラムが選択された場合でも、対応する冗長回路（スペア列）のスペアメモリセルにアクセスして、データ書込およびデータ読出を正常に実行できる。したがって、冗長回路に相当するスペア列によって、不良メモリセルをメモリセル列単位で置換救済することができる。

【0098】

また、ビット線 BL , $\neg BL$ およびスペアビット線 SBL , $\neg SBL$ のプリチャージ電圧を接地電圧 V_{ss} としているので、非選択列において、選択行のリードワード線 RWL が活性化に応答してターンオンしたアクセストランジスタを介して、ビット線 BL , $\neg BL$ およびスペアビット線 SBL , $\neg SBL$ から放電電流が生じることがない。この結果、プリチャージ動作時のビット線およびサブビット線の充放電による消費電力を削減できる。

【0099】

なお、データ書込回路 $51W$ の動作電源電圧である V_{cc2} は、データ読出回路 $51R$ の動作電源電圧である V_{cc1} よりも高く設定される。データ書込時において、選択メモリセルのトンネル磁気抵抗素子 TMR を磁化するために必要なデータ書込電流 I_p 、 $\pm I_w$ は、データ読出に必要なセンス電流 I_s よりも大きいからである。たとえば、電源電圧 V_{cc2} には、 $MRAM$ デバイス 1 外部から供給される外部電源電圧をそのまま適用し、さらに、この外部電源電圧を図示しない電圧降下回路によって降下させて、電源電圧 V_{cc1} を発生する構成とすれば、上記のこれらの電源電圧 V_{cc1} および V_{cc2} を効率的に供給することができる。

【0100】

次に、実施の形態 1 に従うプログラム素子の構成について詳細に説明する。

図 8 は、図 2 に示された冗長制御ユニット RPU (i) の構成を示す回路図である。冗長制御ユニット RPU (i) は、実施の形態 1 に従うプログラム素子の適用例として示される。

【0101】

図 8 を参照して、冗長制御ユニット RPU (i) は、h ビットの不良アドレス FAD i を $2 \cdot h$ 個のプログラム素子 180 によって固定的に記憶するとともに、入力されたコラムアドレス CA と不良アドレス FAD i との一致比較を実行する。コラムアドレス CA は、アドレスビット A1 ~ Ah から構成される。

【0102】

冗長制御ユニット RPU は、ノード N1 と接地電圧 Vss との間に、プログラム素子 180 を介して電氣的に接続される $2 \cdot h$ 個の N-MOS トランジスタ NT (1), /NT (1) ~ NT (h), /NT (h) を有する。N-MOS トランジスタ NT (1) のゲートには、アドレスビット A1 が入力され、N-MOS トランジスタ /NT (1) のゲートには、アドレスビット A1 の反転ビット /A1 が入力される。以降、トランジスタ、NT (2) ~ NT (h) および /NT (2) ~ /NT (h) のそれぞれのゲートにも、アドレスビット A2 ~ Ah およびそれらの反転ビット /A2 ~ /Ah がそれぞれ入力される。

【0103】

アドレスビット A1 ~ Ah およびそれら反転ビット /A1 ~ /Ah にそれぞれ対応して設けられたプログラム素子 180 は、不良アドレス FAD i のそれぞれのビットに対応して選択的にブロー（溶断）される。

【0104】

冗長制御ユニット RPU (i) は、さらに、電源電圧 Vcc1 およびノード N1 の間に並列的に接続された P-MOS トランジスタ 201, 202 と、インバータ 204 と、信号ドライバ 205 とを有する。P-MOS トランジスタ 201 のゲートにはプリチャージ信号 PC が入力され、インバータ 204 は、ノード N1 の電圧レベルを反転して、P-MOS トランジスタ 202 のゲートへ入力する。信号ドライバ 205 は、ノード N1 の電圧レベルに応じて、スペアイネーブル

信号 SE_i を生成する。

【0105】

MRAMデバイス1の各アドレス入力サイクルに先立って、プリチャージ信号PCがLレベルに設定されて、ノードN1は電源電圧 V_{cc1} にプリチャージされる。アドレス入力サイクルが開始されると、プリチャージ信号PCがHレベルに設定されて、トランジスタ201および202がターンオフし、ノードN1は、電源電圧 V_{cc1} と切離される。この状態で、入力アドレスに応じて、アドレスビットA1～Ahおよびそれらの反転ビット $\neg A1 \sim \neg Ah$ がN-MOSトランジスタNT(1)～NT(h)および $\neg NT(1) \sim \neg NT(h)$ のそれぞれのゲートに入力される。

【0106】

この結果、入力されたコラムアドレスCAおよび不良アドレスFADiの間で全ビットが完全に一致した場合のみ、ノードN1の電圧はプリチャージレベルである電源電圧 V_{cc1} に維持され、それ以外の場合、すなわち入力アドレスと不良アドレスが不一致である場合には、ノードN1と接地電圧 V_{ss} の間に少なくとも1つの電流経路が形成されて、ノードN1は接地電圧 V_{ss} へプルダウンされる。

【0107】

したがって、信号ドライバ205が生成するスペアイネーブル信号 SE_i は、不良アドレスFADiおよびコラムアドレスCAが一致した場合にHレベルに設定され、両者が不一致であるときにはLレベルとなる。

【0108】

図9から図11は、実施の形態1に従うプログラム素子の第1から第3の構造例をそれぞれ示す図である。

【0109】

図9(a)を参照して、実施の形態1に従うプログラム素子180は、金属配線層M2に形成されたノード190および金属配線層M1に形成されたノード195の間に電氣的に接続された、トンネル磁性体層160と同一層に同一構造で設けられた磁性体層160#を有する。ノード190および195の一方ずつ

は、図 7 に示したように、接地電圧 V_{ss} および対応の N-MOS トランジスタのソースとそれぞれ電氣的に接続される。磁性体層 160 # の少なくとも一部は、外部からのレーザ光照射によって溶断可能であるように設計されたリンク部 185 を構成する。すなわち、リンク部 185 は、いわゆるヒューズを形成している。

【0110】

磁性体層 160 # と、ノード 190 との間の電氣的コンタクトは、MTJ メモリセルにおけるトンネル磁性体層 160 およびビット線 BL (金属配線層 M2) との間の電氣的コンタクトと同様に、ビアコンタクト 170 # によって確保される。ビアコンタクト 170 # は、図 3 に示したビアコンタクト 170 と同一層において同一構造で設けられている。

【0111】

同様に、ノード 195 と磁性体層 160 # との間の電氣的コンタクトは、図 3 におけるトンネル磁性体層 160 および金属配線 135 (金属配線層 M1) との間の電氣的コンタクトと同様に、ビアコンタクト 140 # および引出配線 150 # によって構成されている。ビアコンタクト 140 # および引出配線 150 # は、図 3 に示したビアコンタクト 140 および引出配線 150 とそれぞれ同一層に同一構造で設けられている。

【0112】

図 9 (b) を参照して、プログラム素子 180 は、引出配線 150 と同一層に構成された金属層 150 # および、トンネル磁性体層 160 と同一層に同一構造で形成される磁性体層 160 # によって構成することも可能である。この場合にも、プログラム素子 180 の一部が、外部からのレーザ光照射によって溶断可能なリンク部 185 を構成するように設計されている。プログラム素子 180 とノード 190 および 195 との間の電氣的コンタクトについては、図 9 (a) と同様であるので詳細な説明は繰返さない。

【0113】

あるいは、図 9 (c) に示されるように、プログラム素子 180 を引出配線 150 と同一層に構成された金属層 150 # によって構成することも可能である。

この場合にも、プログラム素子 1 8 0 の一部が、外部からのレーザ光照射によって溶断可能なリンク部 1 8 5 を構成するように設計されている。プログラム素子 1 8 0 とノード 1 9 0 および 1 9 5 との間の電氣的コンタクトについては、図 9 (a) と同様であるので詳細な説明は繰返さない。

【0 1 1 4】

図 9 (a) ～ (c) に示されるように、本発明の実施の形態に従うプログラム素子 1 8 0 は、MTJ メモリセル中の引出配線 1 5 0 と同一層に形成された金属層 1 5 0 # およびトンネル磁性体層 1 6 0 と同一層に形成されたトンネル磁性体層 1 6 0 # の少なくとも一方によって構成される。これにより、外部からのレーザ光の照射によって溶断することによって情報を固定的に記憶可能なプログラム素子を、専用の製造工程を設けることなく MTJ メモリセルの製造工程中に並行して製造することができる。

【0 1 1 5】

なお、図 5 および図 9 に示した金属層 1 5 0、1 5 0 # の厚みは 3 0 0 ～ 1 0 0 0 オングストローム程度 ($1 \text{ オングストローム} = 10^{-10} \text{ m}$) である。したがって、金属層 1 5 0 # およびトンネル磁性体層 1 6 0 # から成る多層膜をレーザブローする条件は、たとえばレーザ波長 = 0. 5 ～ 1. 5 μm 、レーザスポット径 = 0. 5 ～ 5 μm およびレーザパルス長 = 5 ～ 3 0 n s 程度が適する。図 9 (a) ～ (c) のいずれを採用するかについては、各磁性体層の膜や材質に応じて、レーザブロー条件とヒューズ非切断時の抵抗値に応じて設計すればよい。

【0 1 1 6】

また、図 9 (a) ～ (c) の構造例のように、プログラム素子 1 8 0 が接続されるノード 1 9 0 および 1 9 5 を、プログラム素子 1 8 0 の上層および下層にそれぞれ配置することにより、プログラム素子 1 8 0 とノード 1 9 0、1 9 5 との間の電氣的コンタクトを、MTJ メモリセルにおける電氣的コンタクト (図 5) と同様にすることができる。この結果、各層間での剥がれなどの発生を抑えて、プログラム素子 1 8 0 を安定的に製造することができる。

【0 1 1 7】

図 1 0 (a) ～ (c) に示したプログラム素子では、図 9 (a) ～ (c) にそ

れぞれ示された構造と比較して、ノード190および195の両方が、プログラム素子180よりも上層に配置されている点で異なる。

【0118】

これに伴い、プログラム素子180とノード190および195との間の各々の電氣的コンタクト構造は、図5に示したMTJメモリセルにおける、トンネル磁性体層160およびビット線BL（金属配線層M2）との間の電氣的コンタクトと同様に、ビアコンタクト170#によって確保される。ビアコンタクト170#は、図3に示したビアコンタクト170と同一層において同一構造で設けられている。

【0119】

このような構成とすることにより、プログラム素子180の下層部分、すなわち金属配線層M1に、他の信号配線197等を配置することが可能になる。この結果、信号配線の効率的な配置によって、チップ面積の削減を図ることが可能となる。

【0120】

図11（a）～（c）に示したプログラム素子では、図9（a）～（c）にそれぞれ示された構造と比較して、ノード190および195の両方が、プログラム素子180よりも下層に配置されている点で異なる。

【0121】

これに伴い、プログラム素子180とノード190および195との間の各々の電氣的コンタクト構造は、図3におけるトンネル磁性体層160および金属配線135（金属配線層M1）との間の電氣的コンタクトと同様に、ビアコンタクト140#および引出配線150#によって構成されている。ビアコンタクト140#および引出配線150#は、図3に示したビアコンタクト140および引出配線150とそれぞれ同一層に同一構造で設けられている。

【0122】

このような構成とすることにより、プログラム素子180の上層部分、すなわち金属配線層M2に、他の信号配線197等を配置することが可能になる。この結果、信号配線の効率的な配置によって、チップ面積の削減を図ることが可能と

なる。

【0123】

以上説明したように、本発明の実施の形態1に従うプログラム素子は、MTJメモリセルを構成する導電性磁性体膜の少なくとも一部と同一構造部分を利用したヒューズ素子として構成されるので、プログラム素子（ヒューズ）専用の製造工程を設けることなく、MTJメモリセルの製造工程中に並行して製造することができる。この結果、MRAMデバイスの製造工程数を増加させてコスト増大を招くことなく、安定的なプログラム素子を内蔵することができる。

【0124】

〔実施の形態2〕

実施の形態2においては、実施の形態1と同様の構造のプログラム素子を用いて、パッケージング工程の前後のそれぞれにおいて、情報プログラムが可能なプログラム回路の構成を説明する。

【0125】

図12は、実施の形態2に従う冗長制御ユニットRPU#(i)の構成を示す回路図である。なお、実施の形態2に従うMRAMデバイスは、実施の形態1に従うMRAMデバイスと比較して、各冗長制御ユニットの構成のみが異なるので、以下においては、実施の形態2に従う冗長ユニットの構成のみを詳細に説明して、その他の部分の構成および動作についての詳細な説明は繰り返さない。

【0126】

図12を参照して、実施の形態2に従う冗長制御ユニットRPU#(i)は、図8に示す実施の形態1に従う冗長制御ユニットRPU(i)と比較して、ノードN1および接地電圧Vssの間に、プログラム素子180にそれぞれ代えて、N-MOSトランジスタNPT(1)、/NPT(1)~NPT(h)、/NPT(h)が接続されている点が異なる。すなわち、冗長制御ユニットRPU#(i)においては、ノードN1および接地電圧Vssの間に、アドレスビットA1~Ahおよび反転ビット/A1~/Ahにそれぞれ対応して、直列接続された2個のN-MOSトランジスタが設けられている。

【0127】

N-MOSトランジスタNT(1)～NT(h) および \neg NT(1)～ \neg NT(h)のそれぞれのゲートには、図8に示した冗長制御ユニットRPU(i)と同様に、アドレスビットA1～Ahおよびそれらの反転ビット \neg A1～ \neg Ahがそれぞれ入力される。これに対して、N-MOSトランジスタNPT(1), \neg NPT(1)～NPT(h), \neg NPT(h)のそれぞれのゲートには、以下に説明するプログラム回路によって生成されるプログラム信号P(A1), P(\neg A1)～P(Ah), P(\neg Ah)がそれぞれ入力される。

【0128】

図13は、実施の形態2に従うプログラム回路の構成を示す回路図である。

図13においては、アドレスビットA1～Ahにそれぞれ対応して設けられるh個のプログラム回路のうち、第j番目(j:1～hの整数)のプログラム回路PRC(j)の構成が示される。

【0129】

図13を参照して、プログラム回路PRC(j)は、プログラム素子180a, 180bと、N-MOSトランジスタ211～214と、交差結合型アンプ220と、交差結合型アンプ220の動作電流を供給するためのN-MOSトランジスタ225と、プログラム素子180a, 180bへ読出電流を供給するための電流供給トランジスタ226および228とを有する。

【0130】

まず、プログラム素子180a, 180bの配置について説明する。

図14は、図13に示したプログラム回路中におけるプログラム素子の配置を示す図である。

【0131】

プログラム素子180a, 180bは、実施の形態1と同様の構成に、かつ、少なくとも磁性体層160#を含むように、すなわち図9～図11中の(a), (b)と同様に形成される。

【0132】

図14を参照して、プログラム素子180aは、少なくともトンネル磁性体層160と同一層に同一構造で形成された磁性体層160#を有する。プログラム

素子 1 8 0 a の磁性体層 1 6 0 # の上層側は、ノード N (A j) と電氣的に接続される。ノード N (A j) は、N-MOS トランジスタ 2 1 1 を介して、パッケージ後に外部から電氣的にコンタクト可能なノード T 1 と接続される。N-MOS トランジスタ 2 1 1 のゲートへは、制御信号 P R G が入力される。

【 0 1 3 3 】

プログラム素子 1 8 0 a を構成する磁性体層 1 6 0 # の下層側は、トンネル磁気抵抗素子 TMR (A j) がノード N (A j) および接地ノード 2 1 0 間に電氣的に接続されるように、接地ノード 2 1 0 と電氣的に接続される。

【 0 1 3 4 】

この結果、ノード N (A j) と接地ノード 2 1 0 との間には、レーザ光照射によって溶断可能なリンク部 1 8 5 とトンネル磁気抵抗素子 TMR (A j) とが直列接続された構成となる。レーザ光照射によってリンク部 1 8 5 がブローされると、プログラム素子 1 8 0 a の抵抗、すなわちノード N (A j) および接地ノード 2 1 0 間の抵抗は増加する。

【 0 1 3 5 】

一方、リンク部 1 8 5 が溶断されていない場合には、プログラム素子 1 8 0 a の抵抗は、トンネル磁気抵抗素子 TMR (A j) の抵抗に相当する。したがって、制御信号 P R G の活性化に応答して、ノード T 1 に磁性体層 1 6 0 # 中の絶縁膜 (図 4 における絶縁膜 1 6 4 に相当) を絶縁破壊可能な電圧ストレスを与えるための外部電圧を印加すれば、当該絶縁膜を絶縁破壊することができる。これにより、プログラム素子 1 8 0 a の抵抗は、絶縁破壊前よりも低下する。

【 0 1 3 6 】

このように、プログラム素子 1 8 0 a は、レーザ光照射によって抵抗が上昇し、ノード T 1 への外部電圧入力によって抵抗が下降する。プログラム素子 1 8 0 b も、プログラム素子 1 8 0 a と同様に構成され、上層側および下層側がノード N (A j) および接地ノード 2 1 0 とそれぞれ電氣的に接続された磁性体層 1 6 0 # を有する。ノード N (A j) は、N-MOS トランジスタ 2 1 2 を介して、パッケージ後に外部から電氣的にコンタクト可能なノード T 2 と接続される。N-MOS トランジスタ 2 1 2 のゲートへは、制御信号 P R G が入力される。

【 0 1 3 7 】

再び図 1 3 を参照して、N-MOS トランジスタ 2 1 1 および 2 1 2 は、図 1 2 で説明したように、ノード T 1 および T 2 と、ノード N (A j) および N (/ A j) との間にそれぞれ接続され、各々のゲートに制御信号 P R G が入力される。N-MOS トランジスタ 2 1 3 は、プログラム信号 P (A j) が生成されるノード N s とノード N (A j) との間に電氣的に接続される。トランジスタ 2 1 4 は、プログラム信号 P (/ A j) が生成されるノード / N s とノード N (/ A j) との間に電氣的に接続される。N-MOS トランジスタ 2 1 3 および 2 1 4 の各ゲートには、プログラム回路からのデータ読出時に活性化される制御信号 A C T が入力される。

【 0 1 3 8 】

交差結合型アンプ 2 2 0 は、P-MOS トランジスタ 2 2 1, 2 2 2 と、N-MOS トランジスタ 2 2 3, 2 2 4 とを有する。P-MOS トランジスタ 2 2 1 は、電源電圧 V c c 1 およびノード N s の間に電氣的に接続され、P-MOS トランジスタ 2 1 2 は、電源電圧 V c c 1 およびノード / N s の間に電氣的に接続される。N-MOS トランジスタ 2 2 3 は、ノード N s およびトランジスタ 2 2 5 のドレインの間に接続され、トランジスタ 2 2 4 は、ノード / N s およびトランジスタ 2 2 5 のドレインの間に接続される。

【 0 1 3 9 】

P-MOS トランジスタ 2 2 1 および N-MOS トランジスタ 2 2 3 の各ゲートはノード / N s と電氣的に接続され、P-MOS トランジスタ 2 2 2 および N-MOS トランジスタ 2 2 4 の各ゲートはノード N s と電氣的に接続される。

【 0 1 4 0 】

P-MOS トランジスタ 2 2 6 は、電源電圧 V c c 1 とノード N s の間に電氣的に接続され、P-MOS トランジスタ 2 2 8 は、電源電圧 V c c 1 とノード / N s の間に電氣的に接続される。P-MOS トランジスタ 2 2 6 および 2 2 8 の各ゲートは、制御信号 / S A を受ける。N-MOS トランジスタ 2 2 5 は、N-MOS トランジスタ 2 2 3, 2 2 4 のソースと、接地電圧 V s s との間に電氣的に接続され、自身のゲートに制御信号 S A を受ける。

【0141】

次に、プログラム回路PRC#(j)の動作について説明する。

プログラム回路PRC#(j)へのプログラム時には、既に説明したレーザ光照射または絶縁破壊のための電圧ストレス入力、プログラム素子180aおよび180bのいずれか一方へ印加される。これにより、ノードN(Aj)および接地ノード210間、ならびにノードN(/Aj)および接地ノード210間には、抵抗差が生じる。

【0142】

この状態で、制御信号SAをHレベル(/SA=Lレベル)に活性化し、制御信号ACTをHレベルへ活性化すると、ノードNsおよび/Nsの間には上述した抵抗差に応じた電圧差が生じる。この電圧差をN-MOSトランジスタ225によって動作電流を供給された交差結合型アンプ220によって増幅することによって、ノードNsおよび/Nsには、プログラム素子180aおよび180bのプログラム入力に応じたレベルを有する相補のプログラム信号P(Aj)およびP(/Aj)が生成される。

【0143】

実施の形態2に従うプログラム回路によって生成されたプログラム信号P(A1), P(/A1)~P(Ah), P(/Ah)を、図12に示したN-MOSトランジスタNPT(1), /NPT(1)~NPT(h), /NPT(h)のそれぞれのゲートに入力させることにより、N-MOSトランジスタNPT(1), /NPT(1)~NPT(h), /NPT(h)を、図7に示した実施の形態1に従う冗長制御ユニットRPU(i)中のそれぞれのプログラム素子180と同様に機能させることができる。この結果、実施の形態1に従う冗長制御ユニットRPU(i)と同様に、プログラム素子180a, 180bへのプログラム入力によって固定的に記憶された不良アドレスと、入力アドレス(コラムアドレス)との一致比較が可能となる。

【0144】

なお、図13および図14で説明したように、プログラム素子180aおよび180bの各々は、プログラム入力がない場合と比較して、レーザ光入力時には

抵抗が増加し、電圧ストレス入力時には抵抗が減少する。したがって、図 1 2 に示したプログラム回路について、プログラム素子 1 8 0 a および 1 8 0 b の一方を、トンネル磁気抵抗素子 TMR の本来の抵抗に相当する基準抵抗で構成して、ノード N (A j) または N (/ A j) と接地ノード 2 1 0 との間の抵抗と当該基準抵抗の比較に応じてプログラム信号を生成することも可能である。言い換えれば、図 1 3 に示したように、相補的にプログラム入力を受ける 2 個のプログラム素子 1 8 0 a, 1 8 0 b を用いて 1 ビットのプログラム情報を記憶する構成とすることにより、プログラム情報の信頼性を向上することができる。

【 0 1 4 5 】

図 1 5 は、実施の形態 2 に従うプログラム回路に対するプログラム入力の印加時期を説明するフローチャートである。

【 0 1 4 6 】

図 1 5 を参照して、MTJ メモリセルを始めとする回路素子群の製造工程を含むウェハプロセス（プロセス P 1 0 0）を完了した MRAM デバイスは、ウェハテストを実行され、ウェハテストで検出された不良メモリセルを冗長救済するために用いるプログラム情報がプログラム回路へ書込まれる（プロセス P 1 1 0）。この工程のプログラムは、レーザ光照射によって実行される。

【 0 1 4 7 】

さらに、MRAM デバイスは、顕在欠陥を加速するためのウェハ状態でのバーンイン試験（プロセス P 1 2 0）に送られ、ウェハ・バーンイン試験終了後にパッケージングされる（プロセス P 1 3 0）。

【 0 1 4 8 】

パッケージングされた MRAM デバイスは、パッケージ後の状態で再びバーンイン試験へ送られる（プロセス P 1 4 0）。パッケージ後のバーンイン試験が終了した MRAM デバイスには、最終的な動作テストが行なわれる（プロセス P 1 5 0）。

【 0 1 4 9 】

プロセス P 1 5 0 の段階で検出された最終的な不良メモリセルは、再度冗長救済によって救済される（プロセス P 1 6 0）。すなわち、この段階での冗長救済

は、プログラム素子の絶縁破壊によって再プログラムすることができる。この結果、プログラム素子へのレーザ光照射（プロセスP110）または、絶縁破壊のための電圧ストレス入力（プロセスP160）によって、プログラム素子の状態は、不可逆的な物理的破壊を伴って固定される（プロセスP170）。プログラム状態がロックされた後に、MRAMデバイスは、出荷され実装される（プロセスP180）。したがって、余剰のMTJメモリセルでの磁気的なデータ記憶によるプログラムと比較して、プログラム情報の安定性が高い。

【0150】

このように、実施の形態2に従うプログラム回路によれば、製造工程を増やすことなく作製可能なプログラム素子を用いて、パッケージ工程の前後のそれぞれにおいて、独立に情報のプログラムが可能である。すなわち、ウェハプロセス終了後にウェハ状態で検出された不良メモリセルを救済するためのプログラム入力をレーザ光照射によって実行した後に、当該工程以後に発生した不良についても、絶縁破壊を伴う電圧ストレス入力によって、不良アドレスをプログラムして冗長置換することができる。この結果、ウェハテスト時、バーンイン後テストおよびパッケージ後テストのそれぞれで検出した不良を累積的にプログラムして、救済することが可能となる。

【0151】

〔実施の形態3〕

実施の形態3においては、MTJメモリセルと同様の構造を有するプログラムセルを用いて、複数工程でプログラム入力可能な構成について説明する。なお、実施の形態3に従うMRAMデバイスは、実施の形態2に従うMRAMデバイスと比較して、各プログラム素子およびプログラム回路の構成のみが異なるので、以下においては、実施の形態3に従うプログラム素子およびプログラム回路のみを詳細に説明して、その他の部分の構成および動作についての詳細な説明は繰り返さない。

【0152】

図16は、実施の形態3に従うプログラム素子の構造例を示す図である。

図16を参照して、実施の形態3に従うプログラム素子は、図5に示したMT

Jメモリセルと同様の構造を有する。従って、以下では、実施の形態3に従うプログラム素子をプログラムセルとも称する。

【0153】

図16を参照して、プログラムセルは、半導体基板SUB上にアクセストランジスタATRと同様に形成されたアクセストランジスタATRpおよび、トンネル磁気抵抗素子TMRを含む導電性磁性体膜105#とを含む。

【0154】

アクセストランジスタATRpは、半導体基板SUB上の不純物領域110p、120pとして形成されたソースおよびドレインを含む。不純物領域110pは、接地ノード210（接地電圧Vss）と接続されて、ソースとして作用する。また、不純物領域120は、金属配線層M1に設けられた金属配線135#およびコンタクトホールに設けられたビアコンタクト140#を介して、導電性磁性体膜105#と電氣的に接続されて、ドレインとして作用する。

【0155】

金属配線層M1およびM2には、MTJメモリセルと同様の磁氣的なデータ書込みをプログラムセルへ実行するためのプログラムワード線PWLおよびプログラムビット線PBLが配置される。プログラムワード線PWLおよびプログラムビット線PBLは、図5に示したライトワード線WWLおよびビット線BLにそれぞれ相当する。

【0156】

ゲート130pは、プログラムワード線PWLおよびプログラムビット線PBLを用いた磁氣的なプログラムデータ書込時にLレベルに設定され、プログラムデータの読出時にHレベルに設定される制御信号／PRGを受ける。

【0157】

導電性磁性体膜105#は、MTJメモリセル中の導電性磁性体膜105と同様の構造を有し、積層された、引出配線150#、トンネル磁性体層160#およびおおよびビアコンタクト170#を有する。引出配線150#は、トンネル磁性体層160#をビアコンタクト140#と電氣的に接続するために設けられる。ビアコンタクト170#は、トンネル磁性体層160#およびプログラムビッ

ト線 P B L との間を電氣的に接続する。

【 0 1 5 8 】

実施の形態 3 に従うプログラムセルに対しては、プログラムワード線 P W L およびプログラムビット線 P B L を用いた磁氣的なプログラム（データ書込）と、プログラムビット線 P B L を少なくとも一部を用いて構成されるリンク部 1 8 5 のブローによる破壊動作を伴うプログラムとが実行可能である。

【 0 1 5 9 】

すなわち、プログラムビット線 P B L の少なくとも一部は、外部からのレーザー光照射によって溶断可能な形状および構造に設計される。リンク部 1 8 5 には、プログラムビット線 P B L 以外の部位、たとえば導電性磁性体膜 1 0 5 # が含まれてもよい。

【 0 1 6 0 】

次に、図 1 7 および図 1 8 を用いて、プログラムセルへの磁氣的な書込構成を説明する。

【 0 1 6 1 】

図 1 7 は、プログラムセルに対するプログラムワード線 P W L およびプログラムビット線 P B L の配置を示す概念図である。

【 0 1 6 2 】

図 1 7 を参照して、各プログラムセル P M C は、異なった方向にそれぞれ沿って配置されるプログラムワード線 P W L およびプログラムビット線 P B L の交点に対応して設けられる。プログラムワード線 P W L およびプログラムビット線 P B L には、プログラムセルに対して磁氣的にデータを書込むための電流（「プログラム電流」とも称する）が流される。プログラムワード線 P W L には、プログラムセル中のトンネル磁気抵抗素子 T M R において磁化困難軸（H A）方向に沿った磁界を発生するためのプログラム電流 I_p （P）が流され、プログラムビット線 P B L に対しては、当該トンネル磁気抵抗素子 T M R において磁化容易軸（E A）方向に沿った磁界を発生するためのプログラム電流 $\pm I_w$ （P）が流される。

【 0 1 6 3 】

プログラムワード線PWLは、メモリアレイ10に配置されるライトワード線WWLと同一方向に沿って配置され、プログラムビット線PBLは、メモリアレイ10に配置されるビット線BLと同一方向に沿って配置される。これにより、メモリアレイ中のMTJメモリセルとプログラムセルの配置方向が同一となるので、それらの作製工程および磁化工程を簡略化できる。

【0164】

図18は、プログラムセルへのデータ書込時における電流供給構成を示す回路図である。

【0165】

図18を参照して、同一のプログラム回路に含まれるプログラムセルPMC a, PMC bは、プログラム時には、互いに相補レベルのデータを書込まれる。プログラムセルPMC a, PMC bに共通にプログラムワード線PWLが配置され、プログラムセルPMC a, PMC bにそれぞれに対応して、独立のプログラムビット線PBLおよび/PBLが配置される。なお、プログラムワード線PWLは、複数のプログラム回路間でさらに共有することも可能である。

【0166】

プログラム電流供給部240は、プログラムビット線PBL, /PBLに供給されるプログラム電流 $I_w(P)$ の方向を制御するための制御ゲート250, 252, 260, 262と、プログラムビット線PBLに対応して設けられる電圧設定トランジスタ254, 255, 264, 265と、プログラムビット線/PBLに対応して設けられる電圧設定トランジスタ257, 258, 267, 268とを含む。

【0167】

制御ゲート250は、第j番目(j: 1~hの整数)のプログラムユニットにプログラムされるプログラムデータPDjと制御信号PRGとのNAND演算結果を出力する。制御ゲート252は、反転されたプログラムデータ/PDjと制御信号PRGとのAND演算結果を出力する。制御ゲート260は、反転されたプログラムデータ/PDjと制御信号PRGとのNAND演算結果を出力する。制御ゲート262は、プログラムデータPDjと制御信号PRGとのAND演算

結果を出力する。

【 0 1 6 8 】

したがって、制御信号 P R G が L レベルのとき、N A N D ゲートである制御ゲート 2 5 0, 2 6 0 の各出力は H レベルに固定され、A N D ゲートである制御ゲート 2 5 2, 2 6 2 の各出力は L レベルに固定される。一方、制御信号 P R G が H レベルのとき、プログラムデータ P D j に応じて、制御ゲート 2 5 0, 2 5 2, 2 6 0, 2 6 2 の各出力は、H レベルまたは L レベルに設定される。

【 0 1 6 9 】

電圧設定トランジスタ 2 5 4 は、P - M O S トランジスタで構成されて、プログラムビット線 P B L の一端と電源電圧 V c c 2 の間に電氣的に接続される。電圧設定トランジスタ 2 5 5 は、N - M O S トランジスタで構成されて、プログラムビット線 P B L の当該一端側と、接地電圧 V s s との間に電氣的に接続される。

【 0 1 7 0 】

電圧設定トランジスタ 2 6 4 は、P - M O S トランジスタで構成され、プログラムビット線 P B L の他端と電源電圧 V c c 2 との間に電氣的に接続される。電圧設定トランジスタ 2 6 5 は、N - M O S トランジスタで構成され、プログラムビット線 P B L の当該他端と接地電圧 V s s との間に電氣的に接続される。

【 0 1 7 1 】

電圧設定トランジスタ 2 5 7, 2 5 8 は、プログラムビット線 / P B L の一端に対して、電圧設定トランジスタ 2 5 4 および 2 5 5 と同様に設けられる。電圧設定トランジスタ 2 6 7, 2 6 8 は、プログラムビット線 / P B L の他端に対して、電圧設定トランジスタ 2 6 4 および 2 6 5 と同様に設けられる。

【 0 1 7 2 】

P - M O S トランジスタ 2 5 4 および 2 6 7 の各ゲートへは、制御ゲート 2 5 0 の出力信号が入力され、N - M O S トランジスタ 2 5 5 および 2 6 8 の各ゲートへは、制御ゲート 2 5 2 の出力信号が入力され、P - M O S トランジスタ 2 5 7 および 2 6 4 の各ゲートへは、制御ゲート 2 6 0 の出力信号が入力され、N - M O S トランジスタ 2 5 8 および 2 6 5 の各ゲートへは、制御ゲート 2 6 2 の出

力信号が入力される。

【0173】

プログラムデータ書込時以外（制御信号 $PRG = L$ レベル）においては、電圧設定トランジスタの各々はターンオフされ、プログラムビット線 PBL および $\neg PBL$ は、電源電圧 V_{cc2} および接地電圧 V_{ss} と電氣的に切離される。

【0174】

一方、プログラムデータ書込時（制御信号 $PRG = H$ レベル）においては、プログラムビット線 PBL および $\neg PBL$ にそれぞれ逆方向の電流が生じるように、各プログラムビット線の両端において、1つずつの電圧設定トランジスタが、プログラムデータ PD_j のレベルに応じて選択的にオンする。

【0175】

たとえば、プログラムデータ PD_j が H レベルであるときには、プログラムビット線 PBL に対しては、電圧設定トランジスタ 254 および 265 がオンし、電圧設定トランジスタ 255 および 264 がオフする。一方、プログラムビット線 $\neg PBL$ に対しては、電圧設定トランジスタ 267 および 258 がオンし、電圧設定トランジスタ 257 および 268 がオフする。これにより、図中に実線の矢印で示した方向に、プログラムセル PMC_a および PMC_b に対してそれぞれ逆方向に作用するプログラム電流 $\pm I_w(P)$ が流される。

【0176】

一方、プログラムデータ PD_j が L レベルであるときには、各電圧設定トランジスタのオン・オフが入れ替わり、プログラムビット線 PBL および $\neg PBL$ において、図中に点線の矢印で示した方向に、 $PD_j = H$ レベルのときとそれぞれ反対のプログラム電流 $\pm I_w(P)$ が流される。

【0177】

プログラム電流 $\pm I_w(P)$ によって、プログラムセル PMC_a 、 PMC_b をプログラムデータ PD_j に応じた方向に磁化するための、磁化容易軸方向に沿ったデータ書込磁界が発生される。なお、プログラムデータ PD_j のレベルに関らず、プログラムビット線 PBL および $\neg PBL$ をそれぞれ流れるプログラム電流の向きは互いに反対方向であるので、プログラムデータ書込時には、プログラム

セルPMC a, PMC bは、磁化容易軸に沿って互いに反対方向に磁化される。

【0178】

プログラム電流供給部240は、さらに、プログラムワード線PWLに対応して選択トランジスタ270を含む。選択トランジスタ270は、制御信号PRGの反転信号／PRGをゲートに受けて、電源電圧Vcc2とプログラムワード線PWLの一端との間に電氣的に接続される。プログラムワード線PWLの他端は、接地電圧Vssと結合される。したがって、プログラムデータ書込時において、プログラムワード線PWLに対しては、一定方向のプログラム電流Ip(P)が流される。プログラム電流Ip(P)によって、プログラムセルPMCの各々に対して、磁化困難軸方向のプログラム磁界が印加される。

【0179】

メモリアレイ10内のMTJメモリセルと同様に、磁化容易軸および磁化困難軸にそれぞれ沿った磁界の両方が印加されたプログラムセルPMCにおいて、プログラムデータPDjが磁氣的に書込まれる。

【0180】

図19は、実施の形態3に従うプログラム回路の構成を説明する回路図である。

【0181】

図19を参照して、実施の形態3に従うプログラム回路は、図13に示した実施の形態2に従うプログラム回路と比較して、絶縁破壊のための電圧ストレスを外部から印加するためのN-MOSトランジスタ211および212の構成が省略されている点と、ノードN(Aj)およびN(／Aj)と、接地ノード210との間に、プログラム素子180a, 180bにそれぞれ代えてプログラムセルPMC a, PMC bが接続されている点で異なる。

【0182】

プログラムセルPMC aおよびPMC bは、プログラムビット線PBLおよび／PBLによって、ノードN(Aj)およびN(／Aj)とそれぞれ電氣的に接続されている。実施の形態3に従うプログラム回路のその他の構成については、図13に示したプログラム回路と同様であるので、同様の参照符号を付してその

説明は省略する。

【0183】

このような構成とすることにより、プログラムビット線PBL、/PBLの少なくとも一部を含むリンク部185へのブロー入力以前においては、プログラムセルPMC aおよびPMC bへ相補レベルデータを磁氣的に書込むことによって、ノードN(A_j)およびN(/A_j)と接地ノード210との間に生じた抵抗差に応じた1ビットのプログラム情報を記憶できる。

【0184】

さらに、磁氣的なプログラム後において、外部からのレーザ光照射によってリンク部185をブローすることによって、プログラムセルPMC aおよびPMC bの間の抵抗差を安定的に固定することができる。このようなブローを伴うプログラムによって生じる抵抗差は、磁氣的なプログラムによって生じる抵抗差と比較して大きいため、磁氣的書込によるプログラム情報をレーザブローによるプログラムによって書換えることができる。

【0185】

以上説明したように、実施の形態3に従う構成によれば、製造工程を増やすことなく作製可能なプログラム素子を用いて、レーザブローの前後において、独立的に情報のプログラムがそれぞれ可能である。これにより、ウェハ状態の動作テスト(図15のプロセスP110)において検出された不良メモリセルを救済するための情報を磁氣的書込みによってプログラムした後に、所望の冗長救済が実行されるか否かの試験を、実際にレーザブローを行なうことなく実行できる。さらに確定されたプログラム情報は、レーザブローを伴って安定的に記憶することができる。

【0186】

なお、実施の形態2と同様に、図19に示したプログラム回路において、プログラムセルPMC a、PMC bの一方を基準抵抗で構成して、ノードN(A_j)またはN(/A_j)と接地ノード210との間の抵抗と当該基準抵抗の比較に応じてプログラム信号を生成することも可能である。

【0187】

なお、実施の形態 1 から 3 では、不良アドレスとして不良セルに対応するコラムアドレスをプログラムして、メモリセル列単位で冗長救済が実行される項精励を説明したが、メモリセル行あるいはデータ I / O 線単位に冗長救済を実行する場合にも、本願発明を同様に適用できる。この場合には、不良セルに対応するメモリセル行あるいはデータ I / O 線を示すアドレスを、本発明の実施の形態に従うプログラム素子やプログラム回路を用いて記憶すればよい。

【0188】

また、実施の形態 1 から 3 においては、本願発明に従うプログラム素子およびプログラム回路によって、不良メモリセルの冗長救済構成に使用する不良アドレスを記憶する構成を示したが、本願発明の適用はこのような場合に限定されるものではない。すなわち、本願発明に従うプログラム素子およびプログラム回路を用いて、内部電圧や素子抵抗値などのチューニングを調整するための他のあらゆる情報をプログラムすることも可能である。

【0189】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0190】

【発明の効果】

以上説明したように、本発明に従う薄膜磁性体記憶装置は、磁気メモリセル（MTJメモリセル）を構成する導電性磁性体膜の少なくとも一部と同一構造部分を利用したヒューズ素子として構成されるプログラム素子を備えるので、プログラム素子専用の製造工程を設けることなく、磁気メモリセルの製造工程中に並行して製造することができる。この結果、製造工程数を増加させてコスト増大を招くことなく、薄膜磁性体記憶装置に安定的なプログラム素子を内蔵することができる。

【0191】

また、製造工程を増やすことなく作製可能なプログラム素子を用いたプログラ

ム回路によって、パッケージ工程の前後のそれぞれにおいて独立に情報のプログラムが可能である。すなわち、ウェハプロセス終了後にウェハ状態での動作テスト結果に基づく情報をレーザ光照射によってプログラムした後に、当該工程以後に得られた情報についても、絶縁破壊を伴う外部電圧入力によってプログラムすることができる。この結果、たとえば、ウェハテスト時、バーンイン後テストおよびパッケージ後テストのそれぞれで検出した不良を累積的にプログラムして、救済することが可能となる。

【0192】

さらに、製造工程を増やすことなく作製可能なプログラム素子を用いたプログラム回路によって、レーザ光照射によるブロー前後において、独立的に情報のプログラムがそれぞれ可能である。これにより、ウェハ状態の動作テスト結果に基づく情報を磁氣的書込みによってプログラムした後に、当該情報のプログラムによって所望の動作が実行されるか否かの試験を、実際にレーザブローを行なうことなく実行できる。さらに確定されたプログラム情報は、レーザブローを伴って安定的に記憶することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に従うMRAMデバイスの全体構成を示す概略ブロック図である。

【図2】 図1に示したメモリアレイの構成を示す回路図である。

【図3】 MTJメモリセルの構成およびデータ記憶原理を説明する概念図である。

【図4】 MTJメモリセルのデータ書込電流と、トンネル磁気抵抗素子の磁化方向との関係を示す概念図である。

【図5】 MTJメモリセルの構造を示す断面図である。

【図6】 トンネル磁性体層の構造例を示す断面図である。

【図7】 図1および図2に示したMRAMデバイスにおける置換救済を説明するためのデータ読出動作およびデータ書込動作時の動作波形図である。

【図8】 実施の形態1に従うプログラム素子の適用例として示される、冗長制御ユニットの構成を示す回路図である。

【図 9】 実施の形態 1 に従うプログラム素子の第 1 の構造例を示す図である。

【図 1 0】 実施の形態 1 に従うプログラム素子の第 2 の構造例を示す図である。

【図 1 1】 実施の形態 1 に従うプログラム素子の第 3 の構造例を示す図である。

【図 1 2】 実施の形態 2 に従う冗長制御ユニットの構成を示す回路図である。

【図 1 3】 実施の形態 2 に従うプログラム回路の構成を示す回路図である。

【図 1 4】 図 1 3 に示したプログラム回路中におけるプログラム素子の配置を示す図である。

【図 1 5】 実施の形態 2 に従うプログラム回路に対するプログラム入力印加時期を説明するフローチャートである。

【図 1 6】 実施の形態 3 に従うプログラム素子の構造例を示す図である。

【図 1 7】 実施の形態 3 におけるプログラムセルに対するプログラムワード線 P W L およびプログラムビット線の配置を示す概念図である。

【図 1 8】 プログラムセルへのデータ書込時における電流供給構成を示す回路図である。

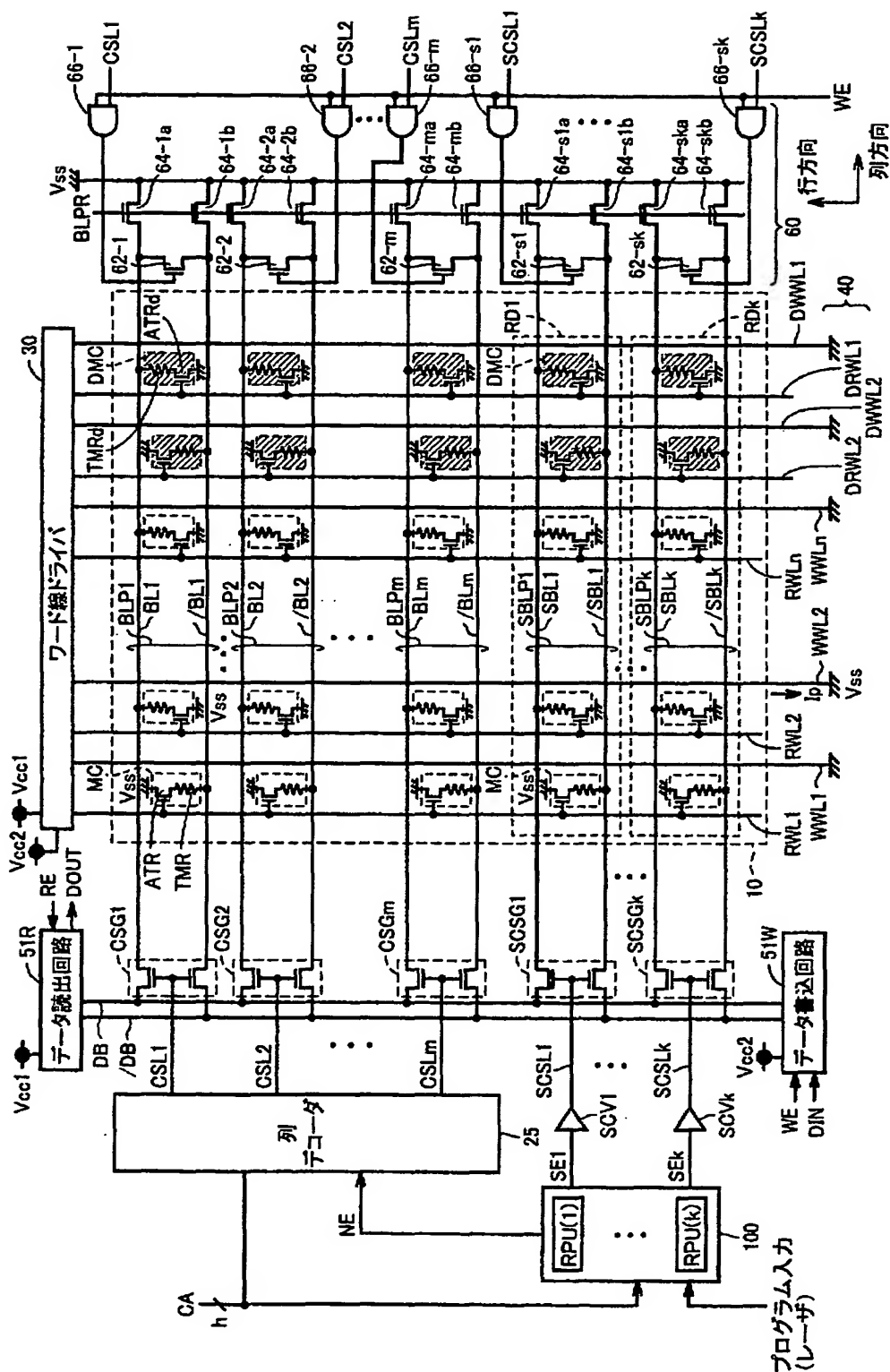
【図 1 9】 実施の形態 3 に従うプログラム回路の構成を説明する回路図である。

【符号の説明】

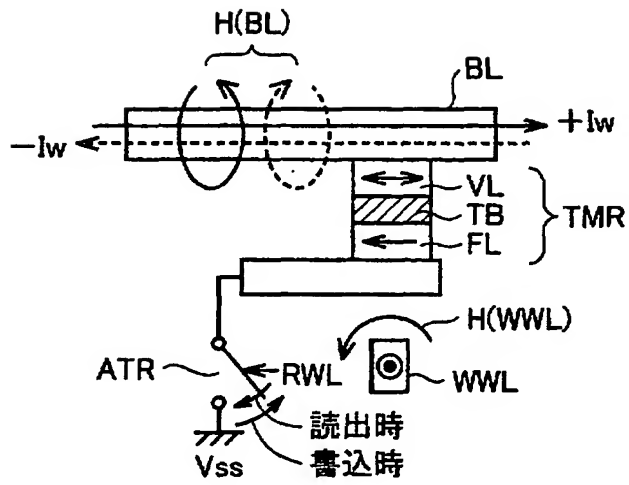
1 M R A M デバイス、1 0 メモリアレイ、1 0 0 冗長プログラム回路、1 0 5 導電性磁性体膜、1 4 0, 1 4 0 #, 1 7 0, 1 7 0 # ピアコンタクト、1 5 0, 1 5 0 # 引出配線、1 6 0, 1 6 0 # トンネル磁性体層、1 6 4 絶縁膜、1 8 0, 1 8 0 a, 1 8 0 b プログラム素子、1 8 5 リンク部、1 9 0, 1 9 5 ノード、2 1 0 接地ノード、2 4 0 プログラム電流供給部、A 1 ~ A h アドレスビット、/ A 1 ~ / A h 反転ビット（アドレスビット）、A

TR, ATR_p アクセストランジスタ、BL, /BL ビット線、BLP ビット線対、CA コラムアドレス、FAD₁~FAD_k 不良アドレス、FL 固定磁化層、I_p (P), ±I_w (P) プログラム電流、M₁, M₂ 金属配線層、MC MTJメモリセル (正規メモリセル)、NPT (1), /NPT (1)~NPT (h), /NPT (h), NT (1), /NT (1)~NT (h), /NT (h) トランジスタ (冗長制御ユニット中)、P (A₁), P (/A₁)~P (A_h), P (/A_h) プログラム信号、PBL, /PBL プログラムビット線、PD_j プログラムデータ、PMC, PMC_a, PMC_b プログラムセル、PRC (j) プログラム回路、PWL プログラムワード線、RD₁~RD_k 冗長回路 (スペア列)、RWL リードワード線、SBL, /SBL スペアビット線、SBLP スペアビット線対、SCSL スペアコラム選択線、SE₁~SE_k スペアイネーブル信号、SMC, SMC_a, SMC_b スペアメモリセル、TMR トンネル磁気抵抗素子、VL 自由磁化層、V_{cc1}, V_{cc2} 電源電圧、V_{ss} 接地電圧、WWL ライトワード線。

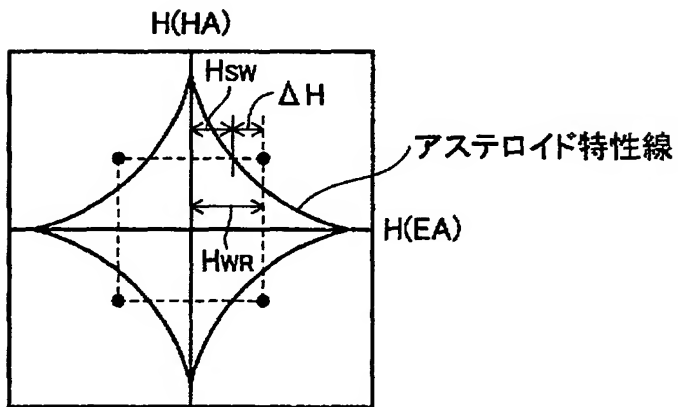
【図2】



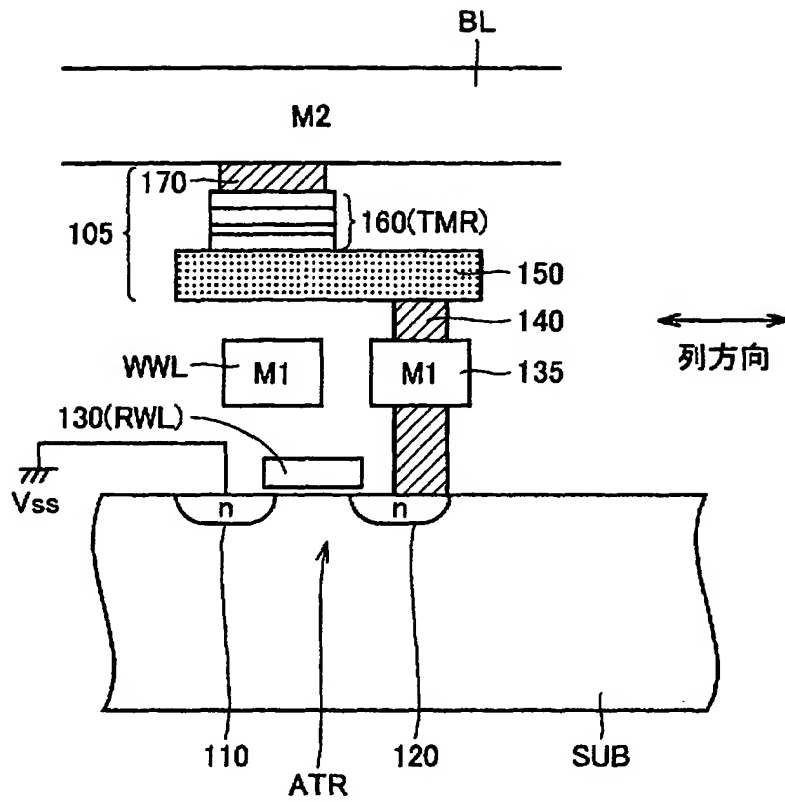
【図 3】



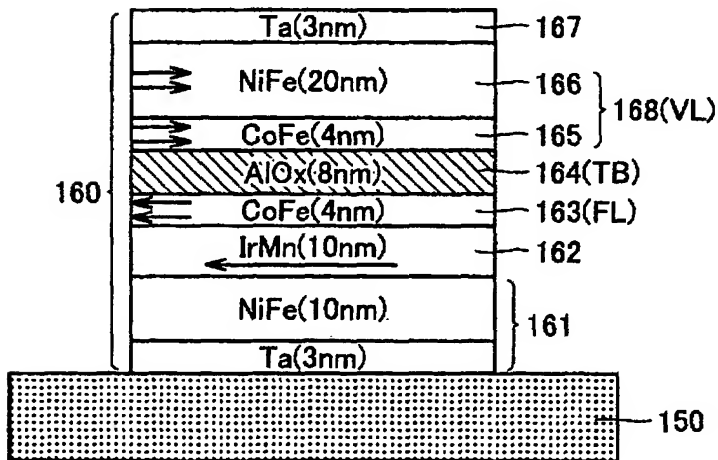
【図 4】



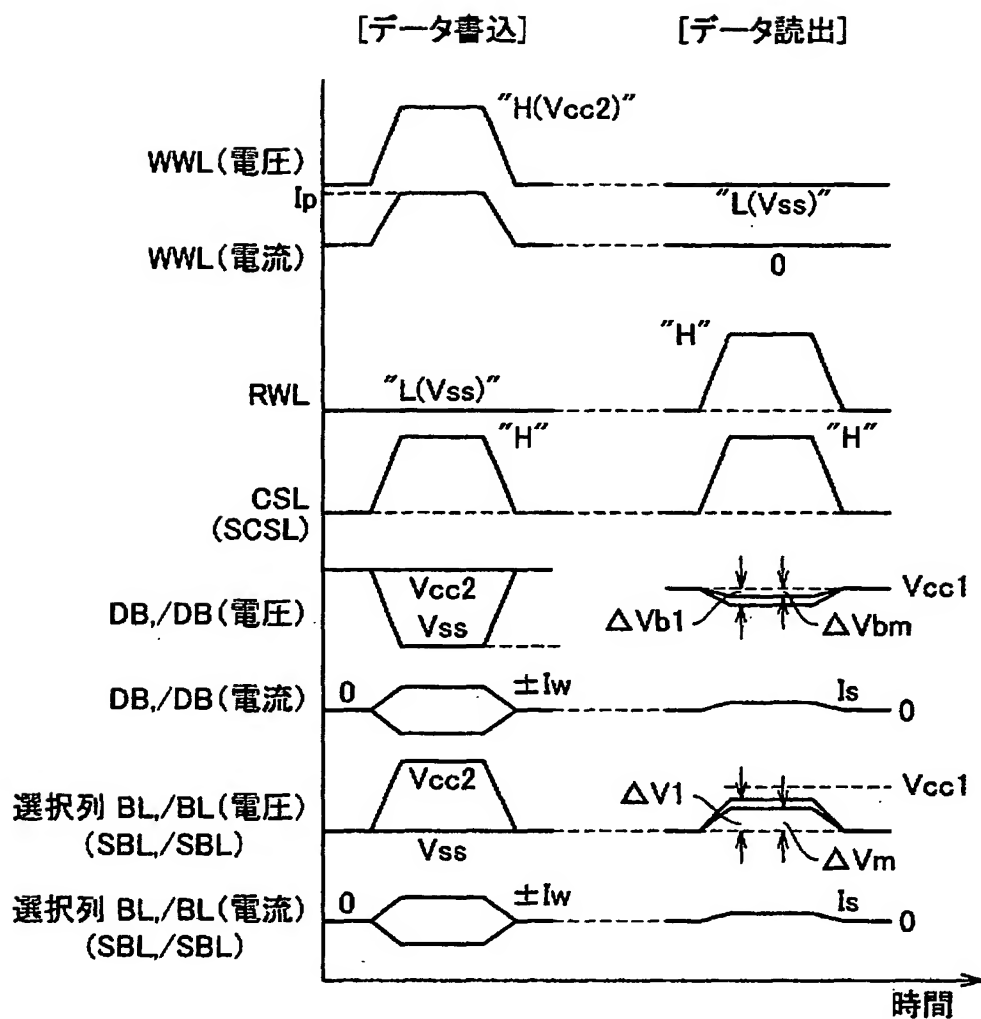
【図 5】



【図 6】

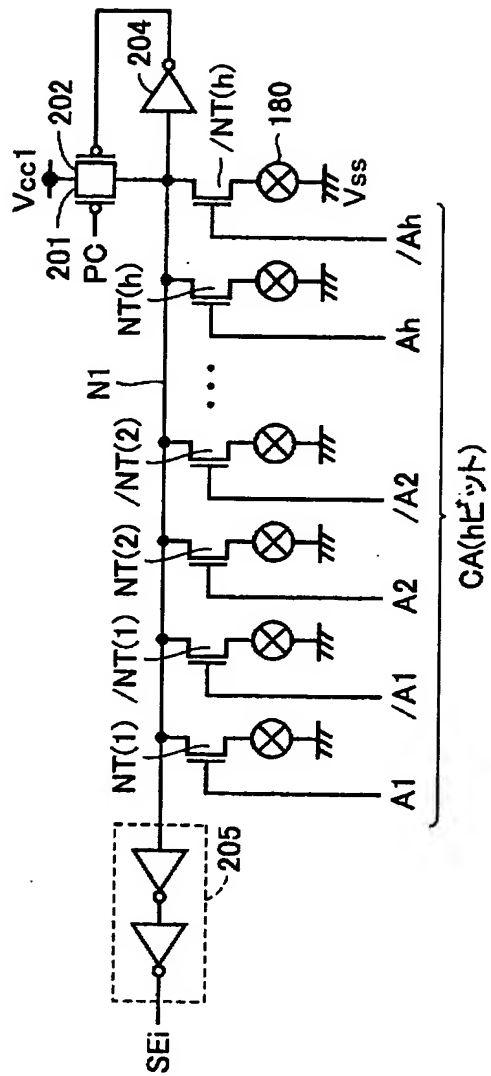


【図 7】

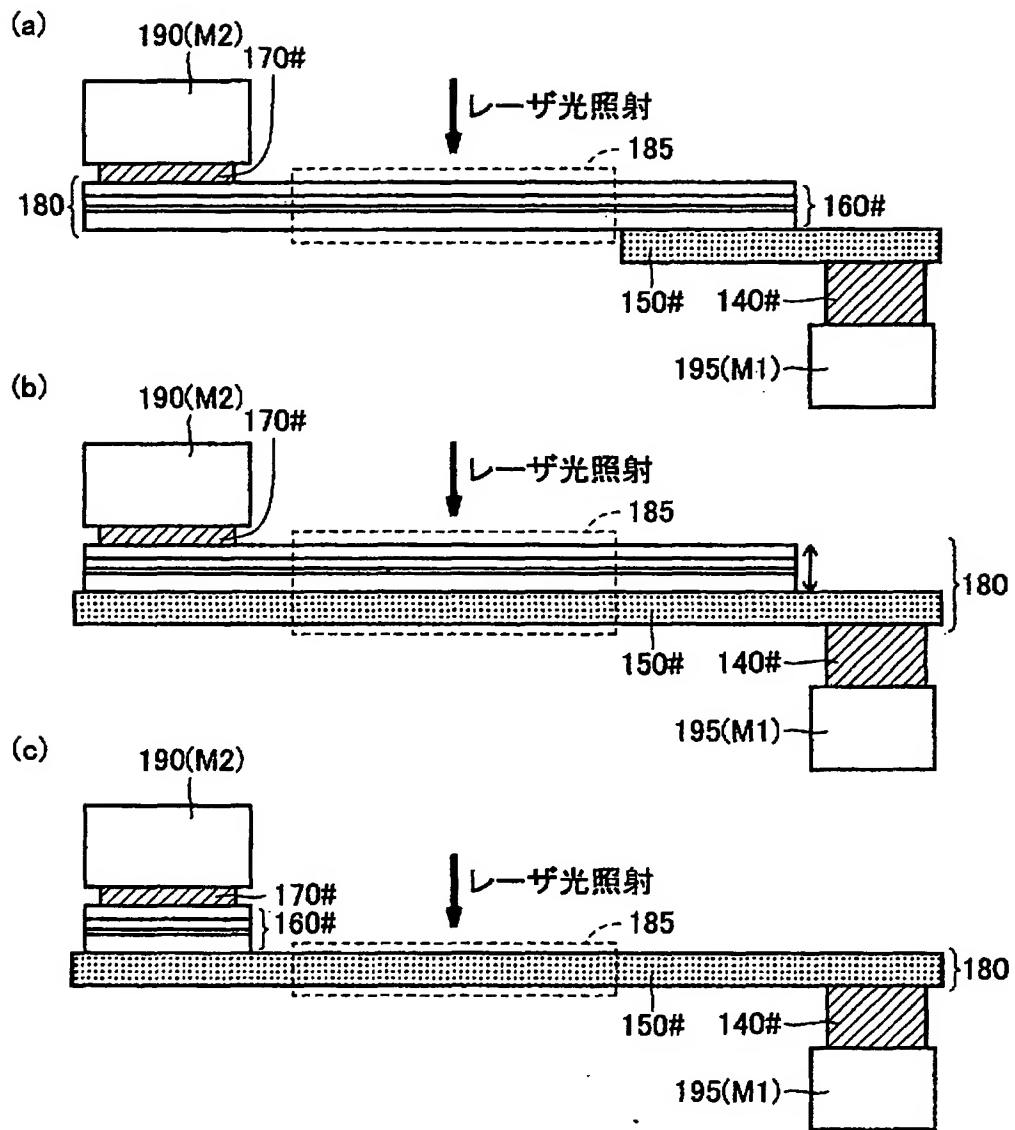


【図 8】

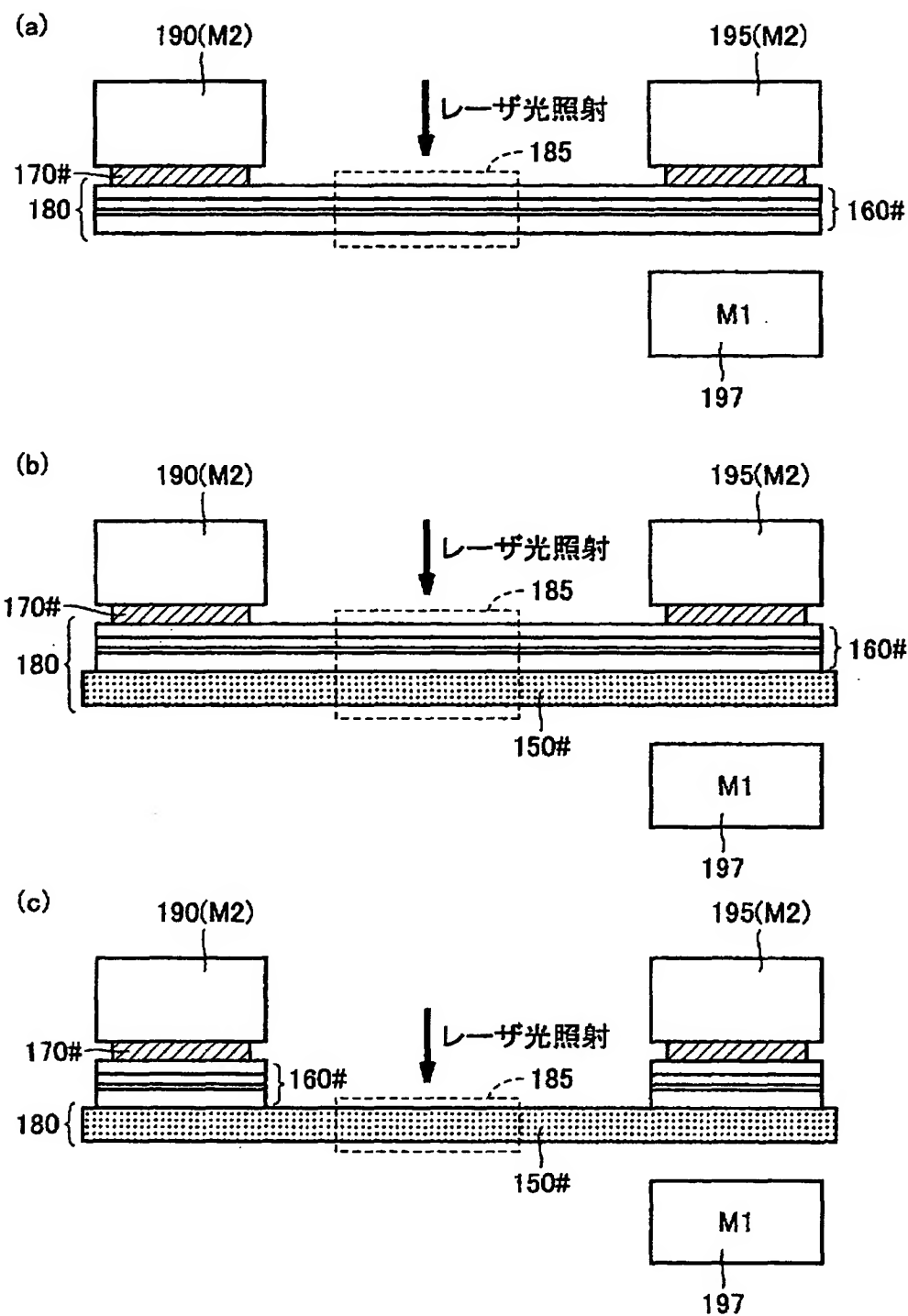
RPU(i)



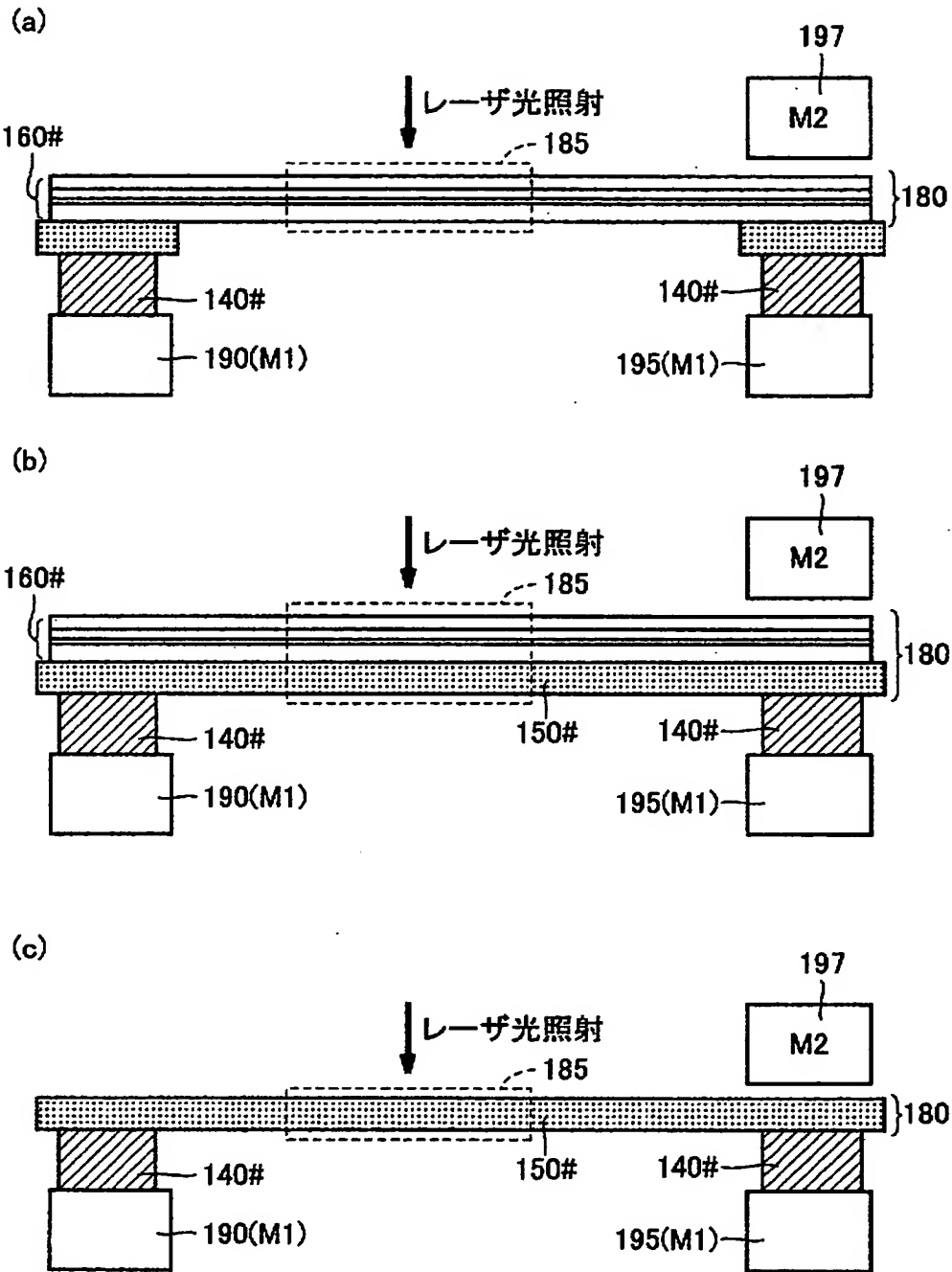
【図 9】



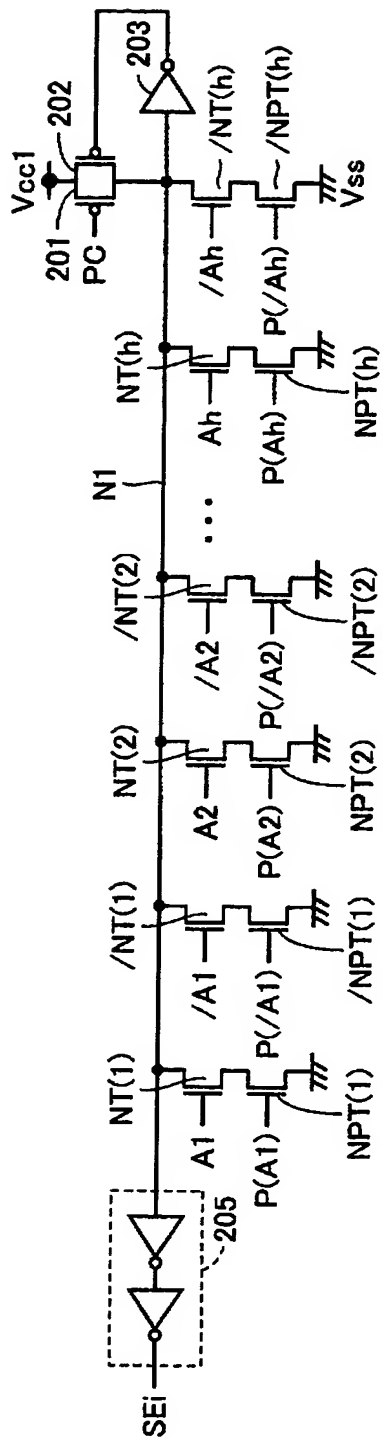
【図10】



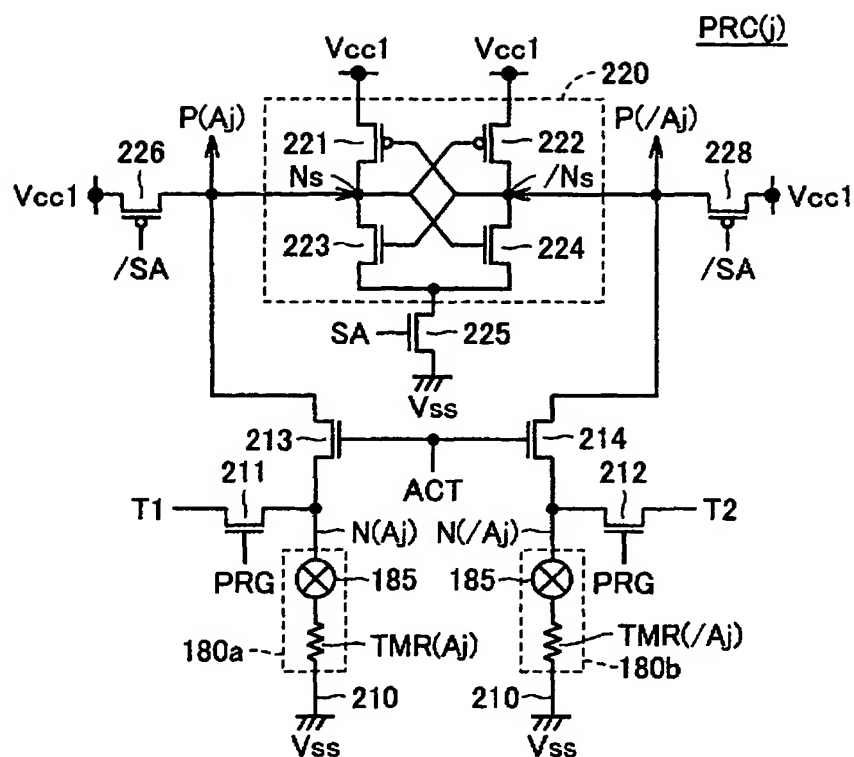
【図 11】



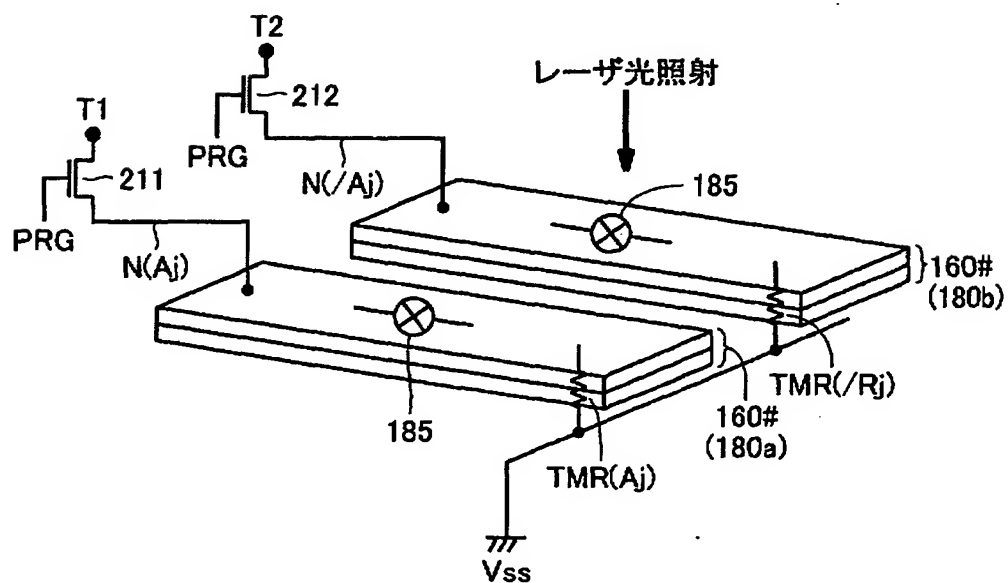
【圖 12】

RPU#(i)

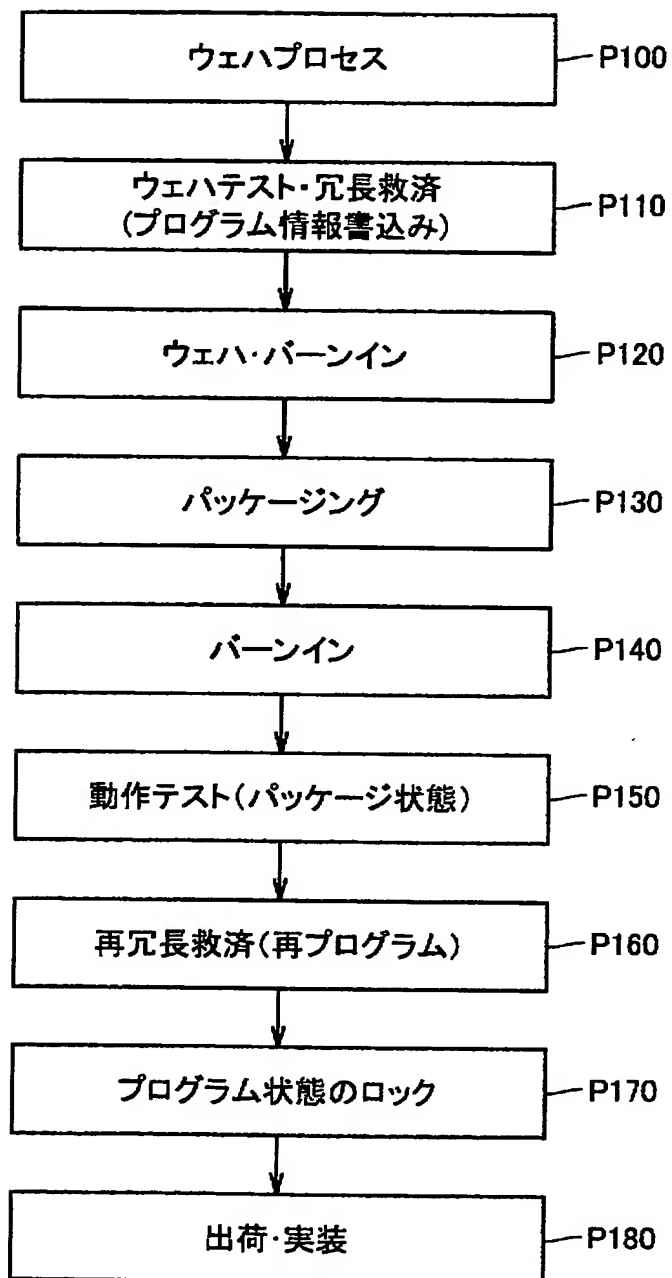
【图 13】



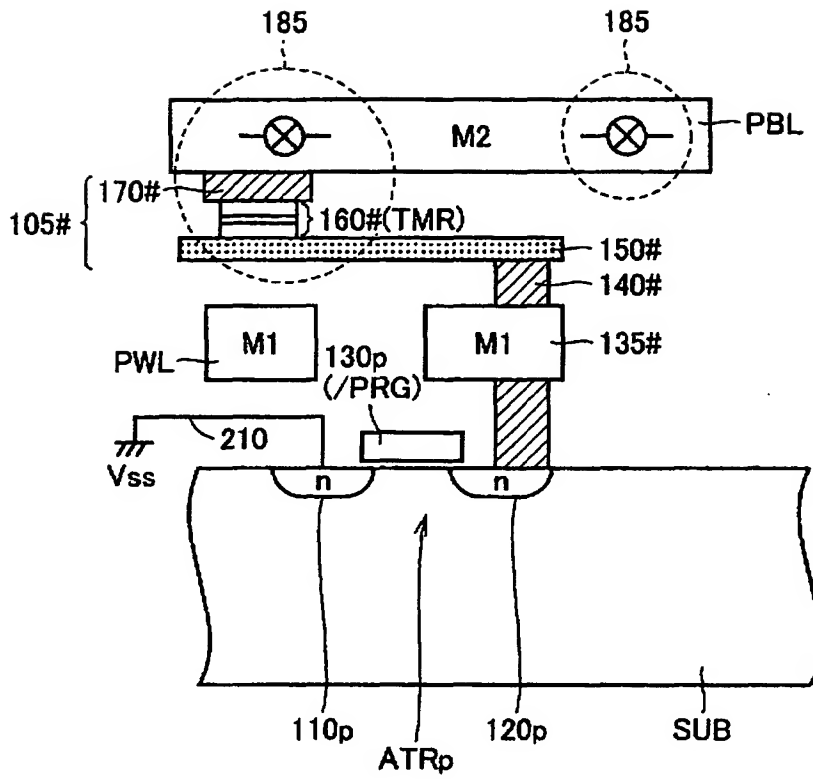
【图 14】



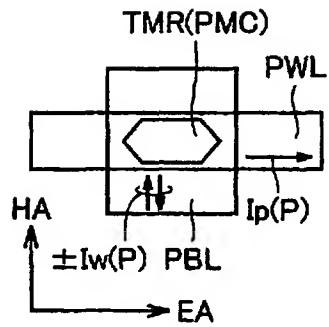
【図 1 5】



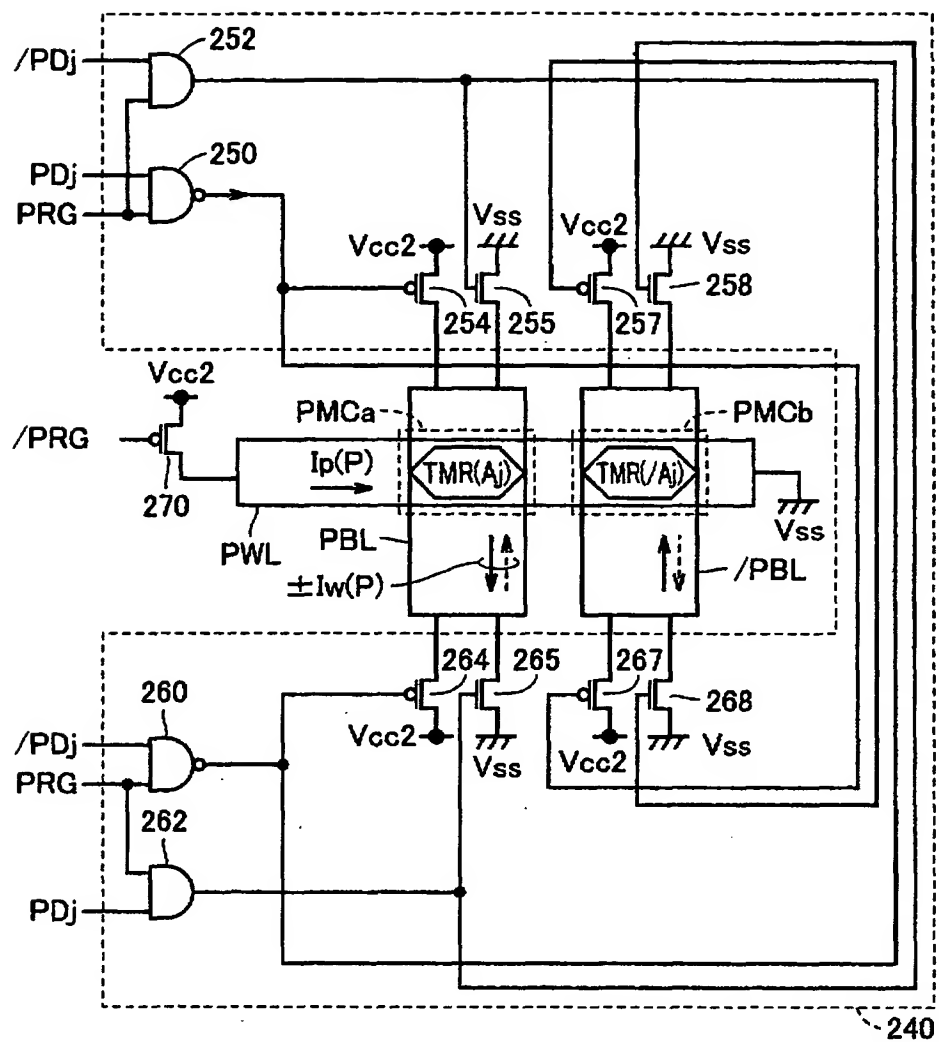
【図 16】



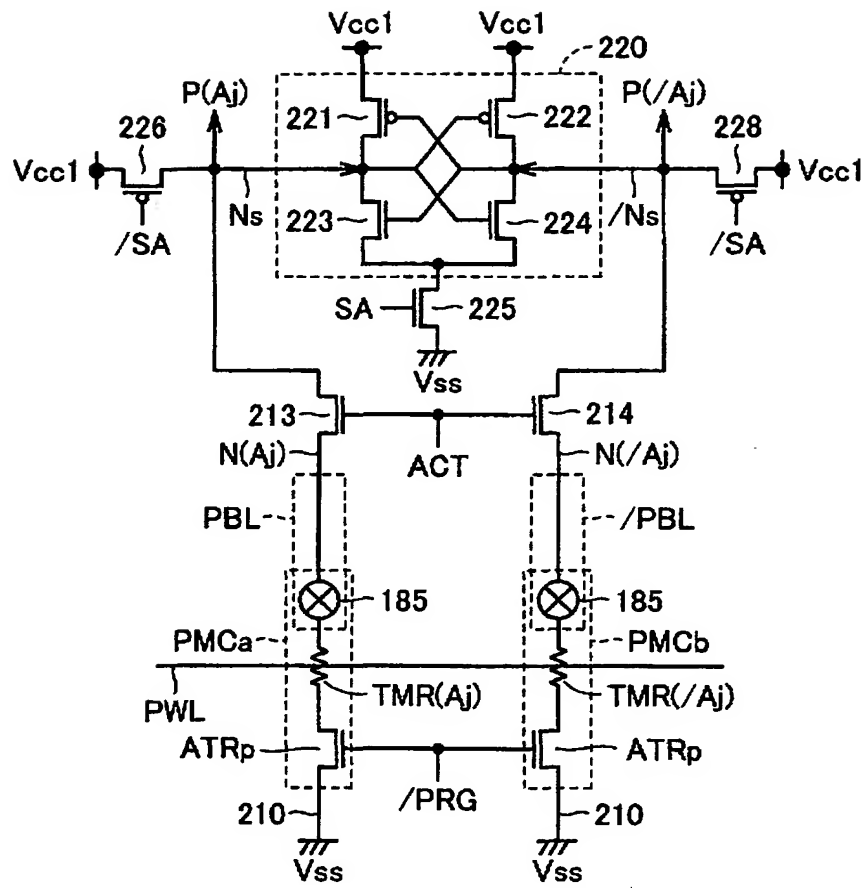
【図 17】



【图 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 専用の製造工程を必要とせずMTJメモリセルの製造工程で並行して作製可能なプログラム素子を備えた薄膜磁性体記憶装置を提供することである。

【解決手段】 プログラム素子180は、ノード190および195の間に電氣的に接続された、磁性体層160#を有する。磁性体層160#の少なくとも一部は、外部からのレーザ光照射によって溶断可能であるように設計されたリンク部185を構成する。磁性体層160#は、MTJメモリセル中のトンネル磁気抵抗素子と同一層に同一構造で設けられる。磁性体層160#とノード190、195の間の電氣的コンタクトも、MTJメモリセルにおける、トンネル磁気抵抗素子と、ノード190および195のそれぞれと同一の金属配線層に設けられた配線との間の電氣的コンタクトと同様の構造を有する。

【選択図】 図9

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社